

# Standardni kombinacijski moduli u komutacijskim sustavima

---

Đuksi, Tihomir

Undergraduate thesis / Završni rad

2016

*Degree Grantor / Ustanova koja je dodijelila akademski / stručni stupanj:* **University of Zagreb, Faculty of Transport and Traffic Sciences / Sveučilište u Zagrebu, Fakultet prometnih znanosti**

*Permanent link / Trajna poveznica:* <https://urn.nsk.hr/urn:nbn:hr:119:324528>

*Rights / Prava:* [In copyright](#)/[Zaštićeno autorskim pravom.](#)

*Download date / Datum preuzimanja:* **2024-07-04**



*Repository / Repozitorij:*

[Faculty of Transport and Traffic Sciences -  
Institutional Repository](#)



**SVEUČILIŠTE U ZAGREBU  
FAKULTET PROMETNIH ZNANOSTI**

**Tihomir Đuksi**

**STANDARDNI KOMBINACIJSKI MODULI U KOMUTACIJSKIM  
SUSTAVIMA**

**ZAVRŠNI RAD**

**Zagreb, 2016.**

Sveučilište u Zagrebu  
Fakultet prometnih znanosti

## **ZAVRŠNI RAD**

### **STANDARDNI KOMBINACIJSKI MODULI U KOMUTACIJSKIM SUSTAVIMA**

**Standard Combinational Modules in Switching Systems**

Mentor: prof. dr. sc. Slavko Šarić  
Student: Tihomir Đuksi, 0135223362

Zagreb, veljača 2016.

# STANDARDNI KOMBINACIJSKI MODULI U KOMUTACIJSKIM SUSTAVIMA

## SAŽETAK

Digitalni sustav je sustav koji informaciju predstavlja pomoću niza logičkih 0 i logičkih 1. Kako bi digitalni sustav funkcionirao, uvedena je Booleova algebra prema engleskom matematičaru George Booleu (19. stoljeće). Osnovne Booleove operacije su: konjunkcija, disjunkcija i negacija. Primjer digitalnih sustava su kombinacijski i sekvencijalni logički sklopovi. Kombinacijski logički sklopovi su sklopovi kojima stanje izlaza ovisi o ulazu, dok sekvencijalnim logičkim sklopovima stanje, osim o ulazu, ovisi o prethodnom stanju. Služe za obradu podataka. Ovisno o upravljanju impulsima takta sekvencijski sklopovi mogu biti asinkroni i sinkroni. Kako bi došlo do procesiranja podataka u računalu, potrebno je raditi operacije zbrajanja, poluzbrajanja i množenja.

KLJUČNE RIJEČI: *digitalni sustav; Booleova algebra; kombinacijski i sekvencijalni logički sklopovi; standardni kombinacijski moduli; zbrajanje; poluzbrajanje; množenje*

## STANDARD COMBINATIONAL MODULES IN SWITCHING SYSTEMS

### SUMMARY

Digital system is a system that presents information using a sequence of logical 0 and logical 1. In order to function into digital system was introduced Boolean algebra, by English mathematician George Boole (19<sup>th</sup> century). The basic Boolean operations are: conjunction, disjunction and negation. Example of digital systems are combinational and sequential logic circuits. Combinational logic circuits are circuits which output state depends on the input and sequential logic circuits situation, except the entrance, depending on previous condition. They are used for data processing. Depending on impulses clocking sequential circuits can be asynchronous and synchronous. In order to process the computer, it is necessary to do the operation of addition, half-adding and multiplication.

KEYWORDS: *digital system; Boolean algebra; combinational and sequential logic circuits; standard combinational modules; addition; half-adding; multiplication*

# SADRŽAJ

1	UVOD.....	1
2	OSNOVNA STRUKTURA DIGITALNOG SUSTAVA.....	2
3	BOOLEOVA ALGEBRA.....	6
3.1	Logička funkcija I.....	7
3.2	Logička funkcija II.....	10
3.3	Logička funkcija NE.....	12
4	KOMBINACIJSKI I SEKVENCIJALNI LOGIČKI SKLOPOVI.....	14
4.1	Asinkroni sekvencijski sklopovi.....	14
4.2	Sinkroni sekvencijski sklopovi.....	16
4.2.1	SR bistabil.....	16
4.2.2	JK bistabil.....	19
4.2.3	T bistabil.....	21
4.2.4	D bistabil.....	23
5	STANDARDNI KOMBINACIJSKI MODULI.....	26
5.1	Dekoder.....	27
5.2	Multipleksor.....	29
5.3	Permanentna memorija.....	32
5.4	Programabilne logičke naprave PLD.....	33
6	PRIMJENA STANDARDNIH KOMBINACIJSKIH MODULA.....	35
6.1	Poluzbrajalo.....	35
6.2	Potpuno zbrajalo.....	37
6.3	Množenje.....	38
7	ZAKLJUČAK.....	40
	POPIS LITERATURE.....	41
	POPIS AKRONIMA I KRATICA.....	44
	POPIS STRANIH IZRAZA.....	45

POPIS ILUSTRACIJA.....	46
Popis slika.....	46
Popis tablica.....	47

# 1 UVOD

Digitalni sustavi osnovni su dijelovi gotovo svih današnjih uređaja. Čitav njihov rad se zasniva na procesiranju i kontroli tijeka izvršavanja zadanih procesa. Svaki digitalni sustav sastoji se od pet funkcijskih jedinica, odnosno podsustava koji obavljaju aritmetičke i logičke operacije. Računala, kao digitalni sustavi su danas u najširoj upotrebi u svim ljudskim djelatnostima, te se kao takva koriste u automatizaciji proizvodnje, u mjernim uređajima, kućanskim aparatima i uređajima zabavne elektronike.

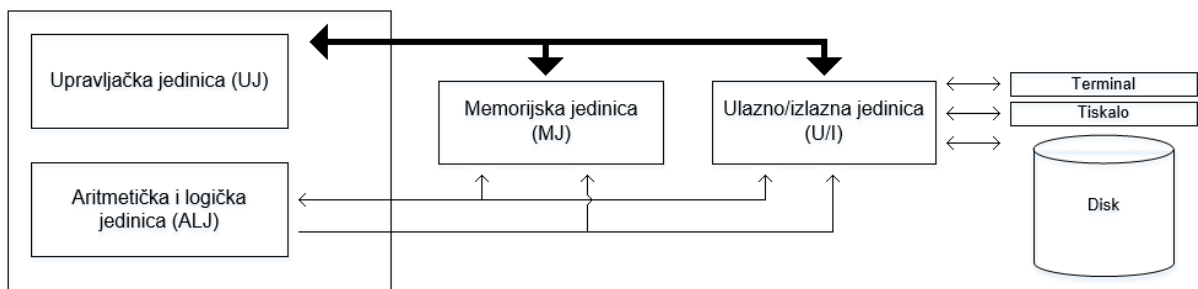
Svrha završnog rada je opisati strukturu i na osnovnim primjerima objasniti rad i ponašanje standardnih kombinacijskih modula u komutacijskim sustavima. Cilj završnog rada je na temelju Booleove algebre i logičkih funkcija prikazati primjenu standardnih kombinacijskih modula koji su prisutni u gotovo svim elektroničkim uređajima, a za rad uređaja potreban im je unos nekih varijabli ili podataka unesenih iz okoline.

Završni rad se sastoji od šest poglavlja. Uvodno poglavlje čitatelju daje osnovnu sliku o radu i definira strukturu rada. Drugo poglavlje ukratko opisuje napredak kroz tehnologije tijekom prošlog stoljeća. Treće poglavlje bavi se tematikom Booleove algebre koja se upotrebljava za analizu i sintezu logičkih sklopova. Ukratko opisuje osnovne logičke funkcije za rad svakog sklopa, te na jednostavnim elektroničkim primjerima prikazuje funkcioniranje logičkih funkcija. Četvrto poglavlje opisuje kombinacijske i sekvencijalne logičke sklopove. Karakteristika kombinacijskih logičkih sklopova je da stanje izlaza ovisi o trenutnom stanju ulaza, dok kod sekvencijalnih logičkih sklopova stanje izlaza ovisi o stanju ulaza i o prethodnom stanju na izlazu. Standardni kombinacijski moduli opisani su u petom poglavlju, a četiri vrste univerzalnih modula su dekodler, multipleksor, permanenta memorija i programirljiva logička memorija, koji su ukratko opisani. Šesto poglavlje opisuje primjenu standardnih kombinacijskih modula kroz poluzbrajalo, potpuno zbrajalo i množenje, koje čine osnovne operacije za manipulaciju podacima. Na kraju završnog rada nalazi se Zaključak, koji predstavlja sintezu svih informacija prikupljenih i obrađenih tijekom završnog rada.

Izvori ilustracija (slika i tablica), kao i korištene literature (knjige, autorizirana predavanja i mrežni izvori), nalaze se u Popisu literature.

## 2 OSNOVNA STRUKTURA DIGITALNOG SUSTAVA

Svaki sustav moguće je razložiti na podsustave koji u svojoj cjelini obavljanju neku funkciju, takva shema dana je na slici 2.1. Uređaj koji ima sve te dijelove može obrađivati podatke, odnosno obavljati aritmetičke i logičke operacije te donositi odluke, na temelju unaprijed danih instrukcija koje se nazivaju program. Takav se sustav onda zove računalo.



**Slika 2.1.** Opća struktura digitalnog sustava  
Izvor: [1]

Svaki dio digitalnog sustava može obavljati neke određene funkcije samostalno, no cjelokupni sustav u cjelini se koristi kao računalo. Tako se putem ulaznih jedinica unose podaci i instrukcije, koji se pohranjuju u memoriju, a takvi podaci su uvijek dostupni te ih je lako pronaći u memoriji. Za skladno obavljanje operacija potrebna je aritmetičko logička jedinica, dok upravljačka jedinica generira električne signale pomoću generatora takta, potrebne za rad ostalih jedinica.

Komunikacija između memorije i korisnika odvija se putem izlaznih memorija, koje su različiti pretvornici.

Svakodnevni uređaj koji se najčešće koristi je računalo, koje je dostupno na gotovo svim mjestima i gotovo svi ih koriste. Računala se najviše koriste za obradu podataka, ali i za automatizaciju proizvodnje, koriste ih mjerni uređaji te gotovo svi uređaji zabavnog sadržaja i kućanskih aparata. Današnje telefonske centrale su zasnovane na digitalnom sustavu, dok su nekadašnji bili na relejnom principu.

Sve ove i još mnoge druge primjene omogućene su velikim napretkom digitalne tehnike kojom se danas može efikasno rješavati vrlo širok opseg problema koji se



svode na obradu ili prijenos informacija. Za napredak je zaslužna mikroelektronika te integriranje sklopova, a sve je pojeftinilo proizvodnju svih korištenih uređaja.

Ubrzani razvoj elektroničke tehnologije omogućio je napredak razvoja pametnih mobilnih terminalnih uređaja (eng. *smartphone*<sup>1</sup>) kakvi se danas, najčešće, koriste, koji su cijenom prihvatljivi i dostupni većini ljudi. Mobilni terminalni uređaji koriste se svakodnevno, a osim glasovne komunikacije koriste se i ostale vrste komunikacija, primjerice putem SMS<sup>2</sup> i MMS<sup>3</sup> poruka i pristupa društvenim mrežama putem interneta. Pristup internetu omogućen je bežičnim putem, što je također omogućila napredna tehnologija prijenosa signala od predajnika do prijarnika na nekoj određenoj udaljenosti.

Bitna promjena se dogodila 1962. godine. ICI<sup>4</sup> je postavio sustav vođenja u potpunosti temeljen na digitalnim računalima. Bio je to početak nove ere digitalnog vođenja, analogna je tehnologija zamijenjena digitalnom uz zadržavanje iste funkcionalnosti sustava. Uveden je pojam direktno digitalno vođenje (eng. DDC - *Direct Digital Control*) kako bi se ta činjenica naglasila. Računala su postala brža i pouzdanija. Osnovna prepreka šire upotrebe bila je cijena, ali cijena dodatnih osjetila i izvršnih sprava je bila zanemariva u odnosu na cijenu početne investicije. Zbog toga su digitalni sustavi korišteni isključivo kod velikih sustava s velikim brojem regulacijskih petlji.

Prednosti digitalnih sustava su bile brojne, od smanjenja troška za operatorski pult, stotine analognih instrumenata moglo se zamijeniti samo jednim pokazivačem i tipkalom. Sustavi su bili i puno fleksibilniji. Analogni su se sustavi mijenjali promjenom ožičenja, a digitalni pretprogramiranjem. Razvili su se posebni DDC jezici koji su programiranje digitalnih sustava vođenje znatno pojednostavili.

Tehnologija digitalnih računala je tijekom šezdesetih godina, prošlog stoljeća, znatno napredovala. Pojavljuju se prvi integrirani krugovi. Računala postaju manja, brža, pouzdanija, jeftinija. Uvodi se pojam miniračunala.

---

<sup>1</sup> *Smartphone* uređaj je mobilni terminalni uređaj koji ima operativni sustav. [2]

<sup>2</sup> *Short Message Service* je usluga slanja kratkih tekstualnih poruka. [3]

<sup>3</sup> *Multimedia Messaging Service* je usluga slanja većeg broja alfanumeričkih znakova i grafike te videa i audio zapisa. [4]

<sup>4</sup> ICI - *Imperial Chemical Industries*, britanska kemijska kompanija. [5]

Prije 1975. godine mikroracunalo je koštalo i do 10 000 \$, ali se tih godina javljaju mikroracunala čija cijena ne prelazi 500 \$. Pet godina poslije cijena pada i na 50 \$. Sustavi su napokon dovoljno jeftini i dovoljno mali da se mogu primijeniti doslovno svugdje, u svakoj petlji automatskog vođenja. Integracijom A/D i D/A pretvarača s mikroracunalom javlja se i nova generacija tzv. mikroregulatora (eng. *microcontrollers*).

Osamdesete godine, prošlog stoljeća, su bile prijelomne za širu primjenu digitalnog vođenja. Javljaju se programabilni logički kontroleri - PLC-ovi (eng. *Programmable Logic Controllers*) koji zamjenjuju dotadašnje relejne sustave u režimu programabilnog vođenja, kako je prikazano na slici 2.2. Javljaju se sve više i distribuirani sustavi.

Devedesete godine, prošlog stoljeća, na tržište donose nove pristupe vođenju složenih sustava temeljene na tzv. računalnoj inteligenciji (eng. *CI - Computational Intelligence*).



**Slika 2.2.** Prikaz PLC-a, [6]

Početak 21. stoljeća obilježen je globalnim umrežavanjem. Internet je donio brojne promjene u živote i navike ljudi, pa je normalno da se njegov utjecaj osjetio i u području vođenja.

Nova filozofija je povezivanje tzv. ugradbenih (eng. *embedded*) sustava vođenja kod kojih se svakom osjetilu, svakom regulatoru, svakoj izvršnoj spravi pridodaje vlastiti procesorski sustav, a oni svi međusobno komuniciraju koristeći različite tehnologije umrežavanja (NEST<sup>5</sup>).

To donosi nove prednosti (dostupnost iz bilo kojeg dijela svijeta, malu cijenu, zbog masovne uporabe), ali i probleme, prije svega zbog paketnog prijenosa podataka. Pojedininim se jedinicama zbog toga ugrađuju brojne samo zaštitne i samo poboljšavajuće funkcije. [5]

---

<sup>5</sup> NEST - *Network Embedded System Technology*, tehnologija umrežavanja koja međusobno komunicira. [7]

### 3 BOOLEOVA ALGEBRA

Engleski matematičar George Boole razvio je u 19. stoljeću logičku algebru (naziva se i Booleova algebra) koja se upotrebljava za analizu i sintezu logičkih sklopova. Tako se logička svojstva digitalnih sklopova mogu iskazati algebarskim ili logičkim jednadžbama. [8]

Za opis sklopova pomoću kojih se izgrađuju digitalna elektronička računala i ostali digitalni sklopovi, nužno je objasniti osnovnu Booleovu algebru koja je nužna za svaki opis digitalnih sklopova. Kako bi opisali povezivanje digitalnih krugova, koriste se matematički sustavi koji su izvedeni kroz Booleovu algebru. Varijable korištene u Booleovoj algebri su binarne varijable i nazivaju se Booleovim varijablama. Binarne varijable poprimaju samo dvije različite vrijednosti, a one mogu biti istina ili laž. [1]

Kako bi se predstavile, binarne varijable označuju se mogućim vrijednostima binarnog sustava, znamenkom „0“ koja označava laž i znamenkom „1“ koja označava istinu. Ova logika označavanja je praktičnija, iako nije obavezna. Moguće je zamijeniti oznake tako da „1“ označava laž, a „0“ istinu. Svaka varijabla može biti označena nekim slovom abecede ili nekom riječi koja označava zadaću varijable. Booleove varijable mogu biti u međusobnom odnosu. Booleova algebra prepoznaje tri osnovne logičke operacije kako bi se povezale varijable: I (AND), ILI (OR) i NE (NOT).

Digitalni sklopovi mogu imati jedan ili više ulaza i izlaza. Naponi na ulazima i izlazima mogu biti vrijednosti unutar područja koja odgovaraju binarnim znamenkama 0 ili 1. Stanje napona na izlazima sklopova vezano je za ispunjenje određenih uvjeta na ulazima. Između stanja na ulazima i stanja izlaza postoji određena logička veza, odnosno digitalni sklopovi obavljaju logičke funkcije ili operacije. Stoga se digitalni sklopovi nazivaju i logički sklopovi. [8]

### 3.1 Logička funkcija I

Logičkom funkcijom I označava se istinitost nekih dvaju ili više varijabli kada se ispituje njihov međusobni odnos u nekoj tvrdnji. Matematički se njihov odnos može prikazati kao umnožak dvaju varijabli. Rezultat operacije I je istinit samo onda kada su ulazne varijable istinite. Tablica stanja svih mogućnosti u kojima se sklop može naći prikazana je u tablici 3.1.

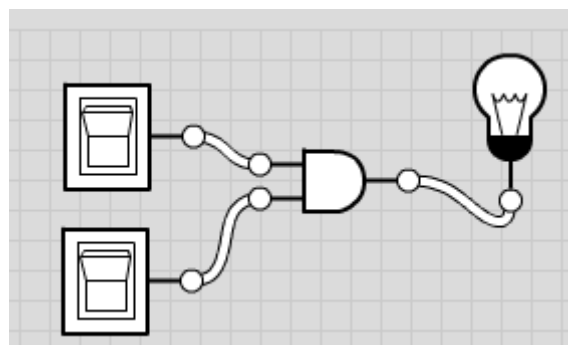
**Tablica 3.1.** Tablica stanja sklopova s dva ulaza za I funkciju

A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

Izvor: [9]

Svaka tvrdnja može se iskazati i u konačnici ispitati pomoću osnovnih I sklopova. Takva tvrdnja može biti istinita ili neistinita. Potrebno je ispitati tvrdnju te donijeti konačan zaključak. Ako se uzmu u obzir dvije tvrdnje, njihovi izrazi moraju biti točni kako bi konačni rezultat bio točan. Sve dok je jedna od tvrdnji netočna, i rezultat je netočan.

U realnim primjerima I sklop moguće je opisati sa sklopkama i žaruljom koji su spojeni na izvor napajanja. Ako jedna od sklopki nije uključena tada niti žarulja neće svijetliti. Tek kada su obje sklopke u položaju uključeno žarulja će svijetliti kao što je prikazano na slici 3.1.



**Slika 3.1.** Žarulja svijetli ako su uključene sklopke, [10]

Sklopka može biti uključena ili isključena, odnosno njezini kontakti mogu biti spojeni ili odvojeni.

Tablice koje prikazuju moguća stanja sklopa i njihove rezultate su tablice istinitosti (eng. *truth table*). Može se upotrebljavati i naziv tablica točnosti ili tablica kombinacija.

U prikazanim slučajevima vidljivo je da sve dok je jedan od prekidača isključen, odnosno ne provodi struju, i rezultat je netočan. Takva situacija je neovisna dali je u pitanju prva ili druga sklopka. Tek kada su obje sklopke uključene rezultat je istinit i žarulja će svijetliti.

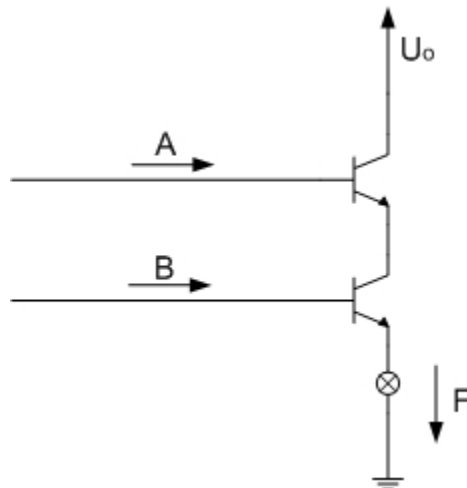
Logičke varijable imaju dvije mogućnosti vrijednosti pa se takva logika naziva još i binarna logika. Tablica kombinacija prikazuje sve moguće kombinacije logičkih varijabli i njima pripadnu vrijednost logičke funkcije. [1]

Radi lakšeg razmatranja stanja sklopova, uvedena je Booleova algebra koja postojanje napona označava sa znamenkom 1, dok se beznaponsko stanje prikazuje kao 0.

U matematičkoj logici taj se operator označava s  $\wedge$ , a logička funkcija naziva konjunkcija. U digitalnoj elektronici i računarstvu upotrebljava se točka kao znak za množenje, jer se ta funkcija zove još i logički produkt [11], pri čemu se točka obično ne piše. Upotrebljava se još znak &, osobito u shemama.

Logičke funkcije mogu se realizirati s pomoću digitalnih elektroničkih sklopova. Na slici 3.1. prikazano je kako se logički I-sklop ili kraće I-sklop može realizirati s pomoću dvaju prekidača, odnosno sklopke. Na mjesto sklopki može se uvrstiti elektronički upravljani kontakti releja ili sklopke koje mogu biti upravljane rukom.

Mehanički kontakti imaju međutim niz nedostataka od kojih je najveći njihova mehanička tromost koja ne dopušta brz rad. Kada se mehaničke sklopke zamjene elektroničkim, sklop obavlja istu funkciju, a njegovo djelovanje prikazano je na slici 3.2., gdje su sklopke izvedene pomoću tranzistora. [11]



**Slika 3.2.** Logički I-sklop izveden pomoću tranzistora  
Izvor: [12]

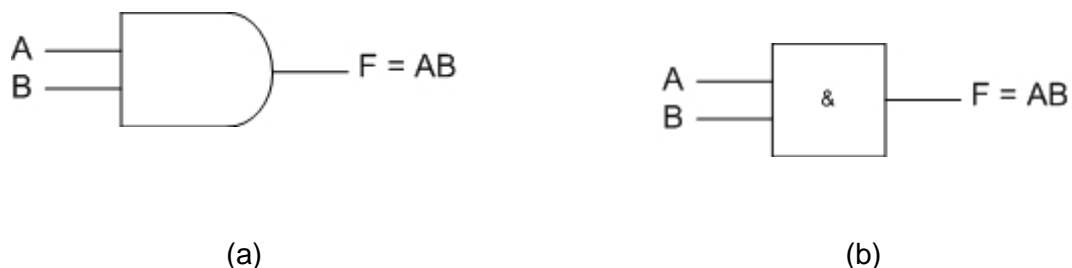
Kada struja teče kroz baze oba tranzistora žarulja će svijetliti. Ovakav način realizacije naziva se strujna logika, zato što su varijable struja koja teče kroz tranzistore, ali se pomoću strujne logike ne mogu realizirati složene logičke funkcije.

U slučaju da je izlaz iz sklopa, odnosno priključnice na žaruljici, čine ulaz u novi sklop, tada se javlja problem grananja struje. Grananje struje ovisit će o ulaznim otporima sljedećeg sklopa koji fluktuiraju zbog razlike do kojih uvijek dolazi u proizvodnji.

Na slici 3.3. prikazan je I-sklop na dva načina. Slika 3.3.a) prikazuje simbol s karakterističnim oblikom odabranim da predstavlja tu i samo tu logičku funkciju. Na slici 3.3.b) prikazan je simbol koji preporučuje Međunarodna elektrotehnička komisija (IEC)<sup>6</sup>, a predstavlja neslužbeni međunarodni standard. Oblik simbola četverokuta ili kvadrata za svaku funkciju, a o kojoj se funkciji radi označeno je kvalificirajućim simbolom. Za I-funkciju kvalificirajući simbol je: &. [1]

---

<sup>6</sup> Za razliku od IEC organizacije, koja propisuje standarde u području elektrotehnike, postoji i međunarodna organizacija za standardizaciju (International Organization for Standardization - ISO) koja se na međunarodnoj razini bavi poslovima opće standardizacije, odnosno standardizacijom u ostalim područjima. [17]



**Slika 3.3** Grafički simboli za I-sklop **a)** karakteristični oblik **i b)** preporučeni od strane IEC-a  
Izvor: [1]

I vrata predstavljaju elektronički sklop koji služi za ostvarivanje logičke operacije I. Grafički prikaz I vratiju s dva ulaza i odgovarajuća tablica prikazani su prethodnom dijelu rada. I vrata mogu imati više od dva ulaza, ali sva imaju samo jedan izlaz. Izlaz iz I vratiju može biti ulaz u neka druga logička vrata. [1]

### 3.2 Logička funkcija ILI

Logička funkcija ILI označava se simbolom „+“, kao, na primjer,  $F = A + B$ . [18] Rezultat logičke funkcije ILI je logička 1 ako je jedna od vrijednosti operanda<sup>7</sup> u funkciji jednaka 1. Tablica stanja svih mogućnosti u kojima se sklop može naći prikazana je u tablici 3.2. [4]

Pomoću simbola „+“ izrazi iz tablice 3.2. glasili bi kako slijedi:

$$0+0=0; 0+1=1; 1+0=1; 1+1=1 \quad (1)$$

Ako se pojedinačni sudovi označe s A i B, tablica kombinacija te funkcije, koja se zove ILI-funkcija, bit će kao u tablici 3.2. Za tu se funkciju upotrebljava i naziv disjunkcija.

<sup>7</sup> Operand je jedan od ulaza operatora. [14]



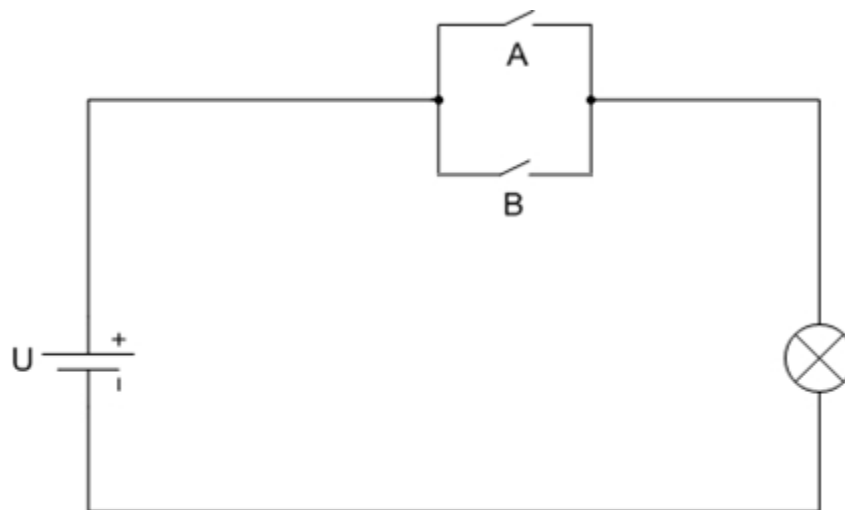
**Tablica 3.2.** Tablica stanja sklopa s dva ulaza za ILI funkciju

A	B	F
0	0	0
0	1	1
1	0	1
1	1	1

Izvor: [1]

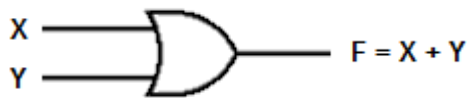
ILI vrata predstavljaju elektronički sklop koji služi za ostvarenje logičke operacije ILI. ILI vrata mogu imati više od dva ulaza, ali sva imaju samo jedan izlaz, te također izlaz može biti ulaz u neka druga logička vrata. [1]

Rezultat F je točan ako struja teče kroz sklopku koja je zatvorena te žaruljica svijetli. Takav slučaj moguć je kada je jedna od sklopki zatvorena ili kada su obje sklopke zatvorene. Naziv takve funkcije koja objedinjuje ovakve kombinacije je isključivo ILI, dok se u praksi koristi naziv ILI-funkcija. Slika 3.4. prikazuje realizaciju ILI-funkcije pomoću sklopki.



**Slika 3.4.** ILI funkcija realizirana s pomoću sklopki  
Izvor: [12]

Tablica logičkih kombinacija dobit će se ako se niskoj razini dodijeli logička 0, a visokoj razini značenje logičke 1. Izlaz iz sklopa bit će aktivan, tj u stanju 1 ako su ili jedan ili drugi ili oba ulaza u stanju 1. I ovaj sklop može imati više ulaza, tj. više paralelno spojenih dioda, a izlaz će biti u stanju 1 ako je jedan ili više ulaza u stanju 1.



**Slika 3.5.** Karakteristični oblik grafičkog simbola za ILI-sklop  
Izvor: [1]

Grafički prikaz ILI vrata s dva ulaza prikazan je na slici 3.5.

### 3.3 Logička funkcija NE

Logička operacija NE (negacije) se označava crticom iznad varijable. Operacija je poznata i pod nazivom operacije komplementiranja. Tablica istinitosti operacije NE prikazana je tablicom 3.3.

**Tablica 3.3.** Tablica istinitosti operacije ne

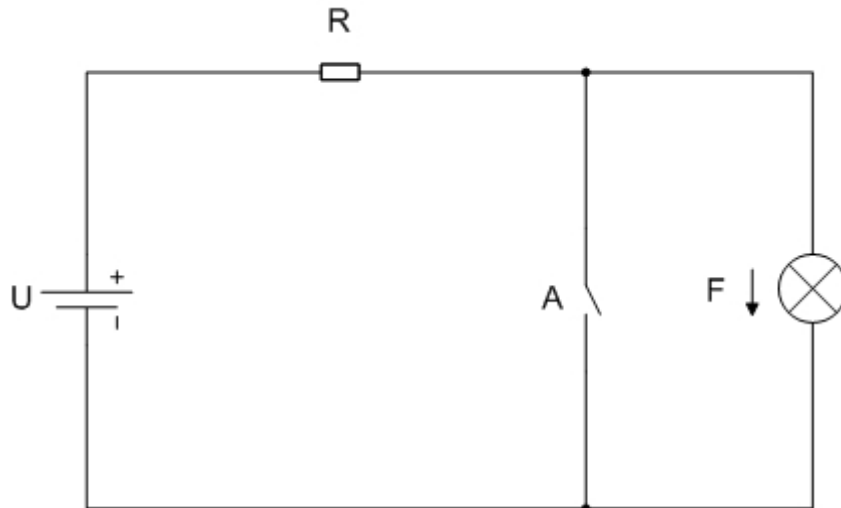
ULAZ	IZLAZ
A	F
0	1
1	0

Izvor: [1]

Operaciju komplementiranja je moguće izvesti i na više varijabli.

Za razliku od operacija I i ILI koje su binarne operacije i uvijek zahtijevaju dva argumenta, operacije NE je unarna operacija i zahtjeva samo jedan argument. Pri izvođenju logičkih operacija, ako operacije i argumenti nisu navedeni u zagradama, operacija NE ima najviši prioritet, iza nje slijedi operacija I, a zatim ILI. [1]

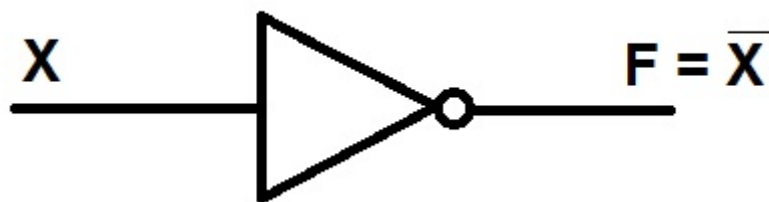
Komplement logičke funkcije može se s pomoću prekidača izvesti kao na slici 3.6.



**Slika 3.6.** Komplementiranje (negacija) logičke varijable s pomoću sklopa sa sklopkama  
Izvor: [11]

Ako je varijabla A na slici 3.6. u stanju 1, sklopka je uključena i kratko spaja žarulju. Ako je sklopka otvorena, dakle  $A = 0$ , struja teče kroz žarulju pa je dakle  $F = 1$ . [12]

NE vrata predstavlja elektronički sklop koji služi za ostvarivanje logičke operacije NE. Budući kako logička operacija NE predstavlja unarnu operaciju, NE vrata imaju samo jedan ulaznu te jednu izlaznu stezaljku. Grafički prikaz NE vratiju prikazuje slika 3.7. NE vrata se nazivaju i invertorom.



**Slika 3.7.** Ne vrata  
Izvor: [1]

## 4 KOMBINACIJSKI I SEKVENCIJALNI LOGIČKI SKLOPOVI

Logički sklopovi na kojima stanje izlaza ovisi o trenutačnom stanju ulaza nazivaju se kombinacijski logički sklopovi. Sklopovi na kojima stanje izlaza ovisi o stanju ulaza i o prethodnom stanju na izlazu nazivaju se slijedni (sekvencijalni) sklopovi. [12]

U digitalnim sustavima često su potrebne kombinacijske funkcije složenije od I, III, NE kao što su: kodiranje, dekodiranje, ispitivanje pariteta, pretvorba kodova, pretvaranje serijskih podataka u paralelne i obratno, zbrajanje, oduzimanje, množenje itd. [1]

Za digitalne sklopove s unipolarnim i bipolarnim tranzistorima karakteristično je da stanje izlaza ovisi o trenutačnom stanju na ulazima. Novo stanje na izlazima ne ovisi o prethodnom stanju izlaza. Takvi sklopovi nemaju svojstvo pamćenja i nazivaju se kombinacijski sklopovi (eng. *combinational circuits*).

Međutim, za gradnju digitalnih uređaja neophodni su i sklopovi koji mogu zadržati stanje na izlazu i nakon promjene stanja na ulazu. Takvi sklopovi nazivaju se sekvencijski ili slijedni sklopovi (eng. *sequential circuits*). Temeljni sklop sa svojstvima pamćenja u digitalnoj elektronici jest bistabilni multivibrator, kraće bistabil (eng. *bistabile multivibrator, flip-flop*). Bistabil ima dva stabilna stanja (tako je taj sklop dobio naziv) koja se označuju binarnim simbolima 0 i 1. Prema tome, ovisno o stanju u kojem se nalazi, bistabil pamti 0 ili 1.

Svaki bistabil ima više ulaza preko kojih se može postaviti u željeno stanje. Prema djelovanju signala na ulazima, ima nekoliko osnovnih tipova bistabila. Djelovanje ulaza prikazuje se tablicama stanja i dijagramima stanja. Staro stanje bistabila označuje se oznakom  $Q_n$ , a novo stanje oznakom  $Q_{n+1}$ . [10]

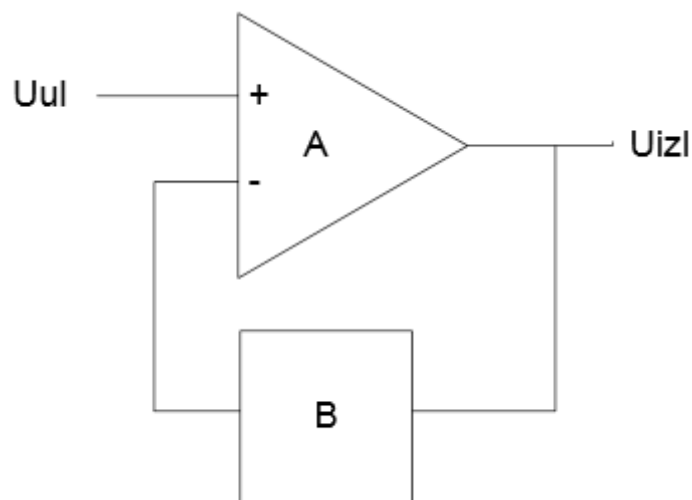
### 4.1 Asinkroni sekvencijski sklopovi

Asinkroni sekvencijski sklopovi u svom radu nisu upravljani impulsima takta. Promjena iz jednog stanja u drugo zbiva se neposredno pod utjecajem promjene ulazne varijable. Dok se kod sinkronih sekvencijalnih sklopova stanje sklopa pamti u registru što ga čine sinkroni bistabili, asinkroni sekvencijski sklopovi za pamćenje

iskorištavaju vremensko kašnjenje ili asinkrone bistabile. Sasvim općenito, asinkroni su sekvencijski sklopovi kombinacijski sklopovi s povratnom vezom. Element za vremensko kašnjenje predstavlja privremenu memoriju koja pamti postojanje impulsne promjene za vrijeme dok ta promjena prolazi od njegova početka do kraja.

Asinkroni se sekvencijski sklopovi upotrebljavaju u slučajevima kad sklop mora odmah reagirati na ulaznu promjenu, za razliku od sinkronih sklopova koji reagiraju tek kada naiđe impuls takta.

Promjenom vrijednosti ulaznih varijabli, ne mijenja se u istom trenutku i vrijednost sekundarnih varijabli, što je posljedica kašnjenja u logičkim sklopovima. Tek kada sustav uđe u stabilno stanje smije se mijenjati vrijednost ulaznih varijabli, te je tada moguća promjena stanja.



**Slika 4.1.** Operacijsko pojačalo kao invertor s povratnom vezom  
Izvor: [12]

Invertor s povratnom vezom najjednostavniji je sklop s povratnom vezom. Kod realnih logičkih sklopova signal uvijek kasni za neko određeno vrijeme, to vrijeme kašnjenja bitno je kod sekvencijskih sklopova, a osobito asinkronih. Na slici 4.1. prikazano je pojačalo kao invertor s povratnom vezom između izlaza i ulaza.

## 4.2 Sinkroni sekvencijski sklopovi

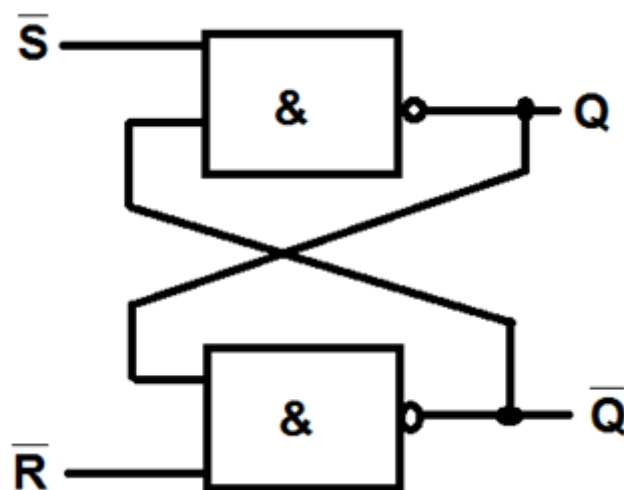
Sekvencijski se sklopovi općenito sastoje od bistabila i kombinacijskih logičkih sklopova. Sekvencijski sklopovi koji se sastoje od  $n$ -bistabila može imati do  $2^n$  mogućih različitih stanja. Sekvencijalni sklop je digitalni automat, tj. stroj koji obavlja predviđene radnje bez čovjekove pomoći. Konačnost proizlazi iz činjenice da se radi o realnom tehničkom sustavu, a naziv „stroj“ podrazumijeva automatske, algoritamske promjene stanja. Sekvencijski sklopovi mogu općenito biti sinkroni i asinkroni. Sinkroni sekvencijski sklopovi mijenjaju stanje pod utjecajem impulsa takta.

Svaki se sklop u osnovi sastoji od tri dijela: ulaznog kombinacijskog sklopa, registra i izlaznog kombinacijskog sklopa. [11]

Postoje četiri osnovna logička tipa bistabila: SR, JK, D i T. Slova kojima se oni označavaju standardizirana su i u općoj upotrebi. [14]

### 4.2.1 SR bistabil

Sinkroni SR-bistabil, prikazan na slici 4.2., najjednostavniji je SR bistabil. Može se izvesti pomoću dvaju NI sklopova kako je prikazano u nastavku



**Slika 4.2.** Sinkroni SR-bistabil od NI sklopova  
Izvor: [14]

Ako se ovakav sklop realizira uporabom diskretnih komponenti, u trenutku uključenja napajanja stanje bistabila bit će nepoznato. Pod pojmom stanja bistabila podrazumijeva se vrijednost Q. Kada je bistabil postavljen tada je u stanju  $Q=1$ , a kada je resetiran tada je  $Q=0$ . [14]

Dok nema sinkronizacijskog impulsa na ulazu, tj. dok je  $CP = 0$ , ulazi u sklop su „zatvoreni“, na ulazima ulaznih NI-sklopova stanje 1, što osigurava da je osnovni bistabil što ga čine druga dva NI-sklopa u onome stanju u koje je postavljen s prethodnom pobudom. [11]

Prije dolaska prvog CP-impulsa, bistabil ostaje u stanju 0, iako je na ulazu S logičko stanje 1. Dolaskom CP-impulsa bistabil mijenja stanje iz 0 u 1 u kojem ostaje i nakon prestanka impulsa takta. Nakon toga ulaz R odlazi u stanje 1 i neko vrijeme su oba ulaza u stanju 1. Ako ulazi istovremeno pređu iz 1 u 0, tada su oba izlaza u 1, što je nekonzistentno stanje prema Booleovoj algebri. Ta pobuda je zabranjena kod SR bistabila. Iz ovog razmatranja vidimo da ulaz S ostvaruje funkciju postavljanja bistabila (engl. Set), a ulaz R ostvaruje funkciju resetiranja bistabila (engl. Reset). Tablica stanja, simbol i dijagram stanja prikazani su u nastavku. [14]

Važno je uočiti da se za vrijeme trajanja impulsa takta sklop svodi na osnovni asinkroni bistabil, pa je, dakle, transparentan za ulazne signale. I dalje vrijedi zabrana da S i R budu istovremeno u 1, što se odnosi samo na vrijeme u kojem djeluje CP-impuls, jer je izvan tog vremena sklop neosjetljiv na ulaze. S obzirom na to, trajanje CP-impulsa trebalo bi biti što je moguće kraće.

Tablica stanja SR-bistabila prikazuje stanja bistabila (tablica 4.1.).

**Tablica 4.1** Tablica stanja SR-bistabila

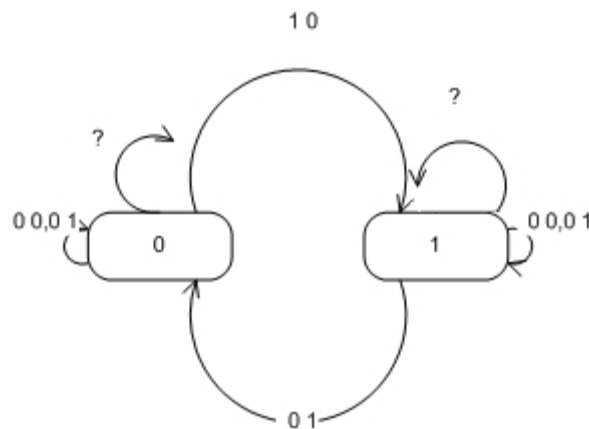
S	R	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	?

Izvor: [14]

Stanja SR bistabila prije CP impulsa označena su s indeksom n, a nakon CP impulsa s indeksom n+1. Pri početnom stanju SR bistabila kada su set i reset u 0, stanje na izlazu je jednako prethodnom stanju iz prethodnog intervala. Izlaz iz

bistabila je u stanju 1 ako je set u stanju 1, a kada se aktivira reset sklop je u 0. Nedopušteno stanje je kada su i se i reset 1. [14]

Dijagramom stanja<sup>8</sup> moguće je zamijeniti tablice stanja i pomoću grafa prikazati rad sklopa. Dva moguća stanja sklopa prikazani su kao čvorovi, odnosno pravokutnici sa zaobljenim vrhovima, a promjene su prikazane usmjerenim linijama između tih stanja. Dijagram stanja, nacrtan na temelju tablica stanja, prikazan je na slici 4.3. Pokraj svake strelice označeno je stanje ulaznih varijabli SR, koje će, nakon CP-impulsa, prouzrokovati tu promjenu. Pobuda koja ne izaziva promjenu prikazna je strelicom savijenom u luk, koja se vraća u isto stanje odakle je i krenula.



**Slika 4.3.** Dijagram stanja SR-bistabila  
Izvor: [14]

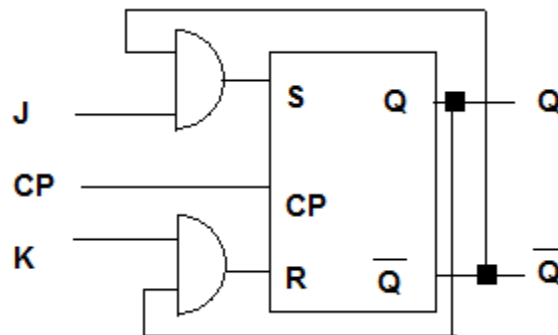
Ako bistabil ima Cp ulaz, tada ulazi za pobudu imaju utjecaja samo kada je Cp=1, dok za slučaj Cp=0 bistabil ne reagira na pobudu.

<sup>8</sup> Dijagram stanja je jedan od UML dijagrama koji prikazuje stanje objekta i prijelaze između stanja. UML (eng. *Unified Modeling Language*) je jezik koji služi za ujedinjeno modeliranje. [19] [20]



## 4.2.2 JK bistabil

Da bi se izbjegla zabranjena stanja SR bistabila, projektiran je JK bistabil tako da izlazi iz SR bistabila imaju povratnu vezu na ulaze kojima se upravlja. Osnovna koncepcija sklopa prikazana je na slici 4.4.



**Slika 4.4** JK bistabil  
Izvor: [15]

Iz sažete tablica stanja prikazna u tablici 4.3. za JK bistabil vidi se da se za sve kombinacije ulaznih varijabli, osim kada su i J i K u 1, izlaz  $Q_{n+1}$  poprima iste vrijednosti kao i SR bistabil za ulaze S i R. Osnovna razlika u izvedbi SR i JK bistabila je što se u izvedbi JK bistabila, izlazi iz SR bistabila se vraćaju na ulaz.

**Tablica 4.2.** Sažeta tablica stanja JK-bistabila

J	K	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\overline{Q_n}$

Izvor: [15]

Ulaz J djeluje kao i ulaz S, a ulaz K kao ulaz R. Kod ovog bistabila mogu oba ulaza biti istovremeno u 1, kako je objašnjeno u nastavku. Ako je primjerice bistabil bio u stanju 0, na izlazu Q bit će također 0, pa je donji ulazni I-sklop isključen i ulaz K ne djeluje. Istovremeno je  $\overline{Q} = 1$ , pa logička razina 1 prolazi do ulaza S. Nakon CP-impulsa bistabil će prijeći u 1. Istovrsno razmatranje pokazuje da će bistabil prijeći u 0 ako je prije toga bio u 1. Bistabil, dakle, tako sprječava prolaz ulaznog signala na

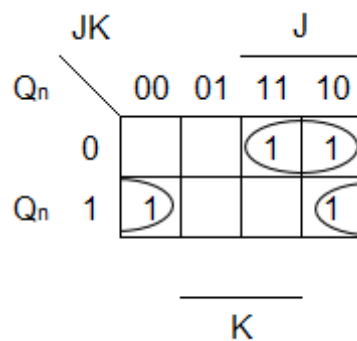
onaj ulaz koji ga postavlja u stanje u kojem se već nalazi. To nije posebno važno ako je samo jedan u stanju 1, ali zato uzrokuje komplementiranje stanja kad su oba ulaza u 1.

Tablica stanja prikazana je u tablici 4.3., a njezin prikaz K-tablicom na slici 4.5.

**Tablica 4.3.** Tablica stanja JK-tablica

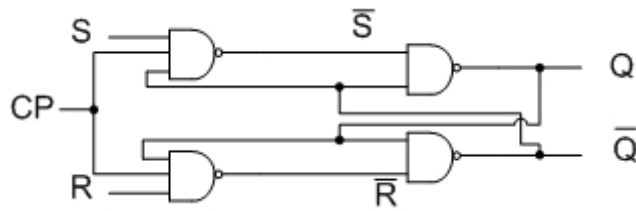
$Q_n$	J	K	$Q_{n+1}$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

Izvor: [11]



**Slika 4.5.** Minimizacija izlaza JK bistabila  
Izvor: [15]

Praktična realizacija JK-bistabila može biti i jednostavnija, nego na slici 4.7. Dovoljno je kod SR-bistabila povećati broj ulaza umjesto dodavanja posebnih I-sklopova na ulazu. Takva je izvedba prikazana na slici 4.9. [11]

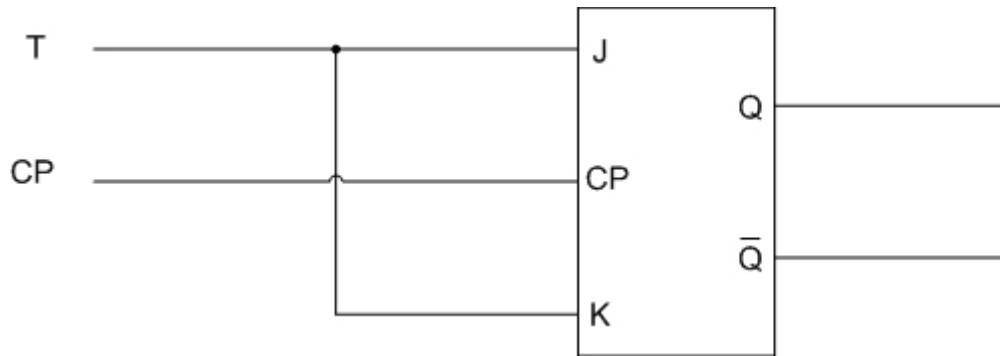


**Slika 4.6** Izvedba JK-bistabila na osnovi SR-bistabila sa slike 4.5.  
Izvor: [11]

Ovako izvedeni JK-bistabil osjetljiv je na trajanje CP-impulsa. Osjetljivo stanje se odnosi na situaciju kada su oba ulaza u 1. Ako je npr. prije dolaska CP-impulsa bistabil bio u stanju 0, on će promijeniti svoje stanje u 1. To pak mijenja stanje ulaza koji upravljaju ulaznim I-sklopovima, pa se gornji I-sklop zatvara, a donji otvara. Ako je CP-impuls još u stanju 1, doći će ponovo do promjene i taj će se proces nastaviti sve dok traje CP-impuls. Zbog pojava povratne veze sklop će oscilirati, a njegovo će stanje bit nepredvidivo. Kako ne bi došlo do oscilacija, potrebno je da trajanje sinkronizacijskog impulsa kojim se okida sklop bude kraće od vremena kašnjenja bistabila. Taj impuls mora ipak trajati dovoljno dugo da proradi regenerativna povratna veza. To ostavlja vrlo uske tolerancije u kojima se taj impuls može nalaziti. Zbog toga promjene parametara sklopa koje se događaju zbog temperatura, starenja, itd., mogu lako prouzročiti neispravan rad. [13]

#### 4.2.3 T bistabil

Ako se ulazi J i K spoje međusobno, kao na slici 4.7., dobije se T-bistabil. Oznaka T dolazi od engleske riječi *toggle*. Na osnovi sažete tablice stanja JK-bistabila lako je izvesti sažetu tablicu stanja T-bistabila, koja je prikazana u tablici 4.4. Ako je ulaz T u stanju 0, CP-impuls neće izazvati promjenu i stanje će biti kao i u prethodnom koraku. Za T-bistabil može se reći da je to poseban slučaj JK bistabila, kada su mu oba ulaza jednaka. [15]



**Slika 4.7** Izvedba T-bistabila  
Izvor: [15]

**Tablica 4.4.** Sažeta tablica stanja T-bistabila

T	$Q_{n+1}$
0	$Q_n$
1	$\overline{Q_n}$

Izvor: [15]

Ako je  $T = 1$ , sinkronizacijski impuls će izazvati promjenu, odnosno komplementiranje informacije prisutne iz prethodnog intervala. U tablici 4.5. prikazana je tablica stanja za T-bistabil.

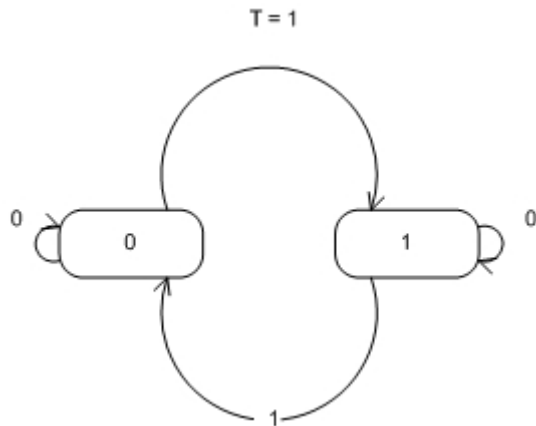
**Tablica 4.5.** Tablica stanja T-bistabila

T	Q	Q
0	0	0
0	1	1
1	0	1
1	1	0

Izvor: [15]

Opisani bistabil radi sinkrono. Asinkroni T-bistabil dobiva se tako da se na ulaz T stavi razina 1, a ulazni signali dovode na ulaz CP. U tim će uvjetima sklop mijenjati stanje svaki put kada dođe ulazni impuls. Dijagram stanja T-bistabila prikazan je slikom 4.8.

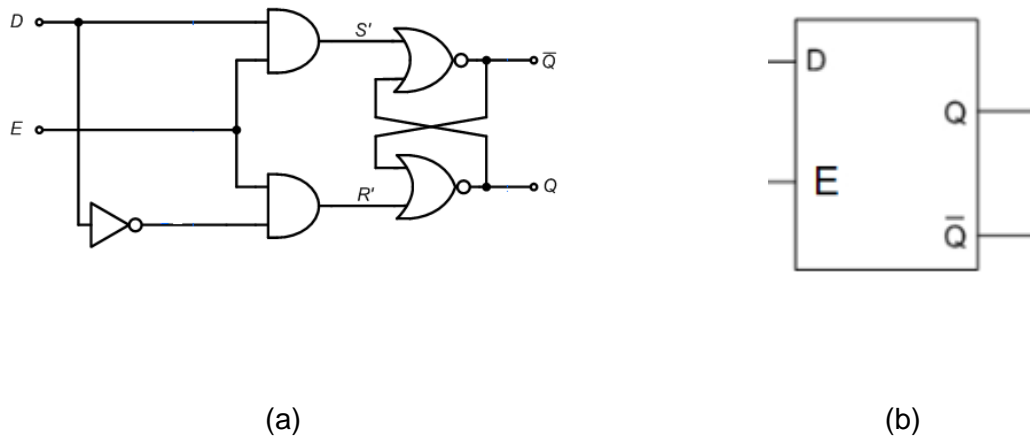
Kod ovog sklopa, koji je izveden iz JK-bistabila, također kritično vrijeme trajanja impulsa na ulazu CP, kada se i J i K jednaki 1. [13]



**Slika 4.8.** Dijagram stanja T-bistabila  
Izvor: [11]

#### 4.2.4 D bistabil

Zabranjeno stanje SR bistabila, kada su oba ulaza u 1, izbjegava se zabranom postavljanja oba ulaza u 1. To se postiže D (Data) bistabilom koji je zapravo modificirani SR bistabil s E ulazom. [13]



**Slika 4.9.** D-bistabil **a)** sklop i **b)** simbol  
Izvor: [16]

Sažeta tablica stanja prikazana je u tablici 4.6., a tablica stanja u tablici 4.7.

**Tablica 4.6.** Sažeta tablica stanja D-bistabil

D	$Q_{n+1}$
0	0
1	1

Izvor: [14]

**Tablica 4.7.** Tablica stanja D-bistabil

$Q_n$	D	$Q_{n+1}$
0	0	0
0	1	1
1	0	0
1	1	1

Izvor: [11]

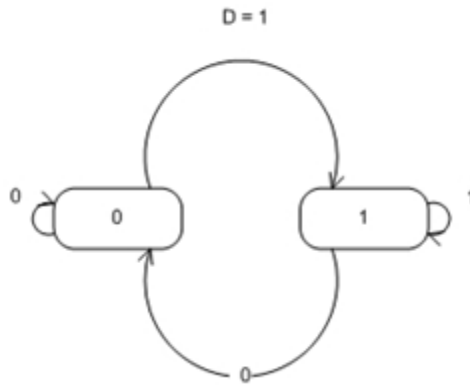
Ulazna varijabla dolazi direktno na ulaz S, a invertirano na ulaz R. Kada je na ulazu 0, na S je također 0, a na R je 1. Nakon CP-impulsa bit će u bistabil upisana 0. Ako je na ulazu 1, onda je to isto na ulazu S, dok je na ulazu R tada 0. Prema tome, upisana će biti 1. Bistabil, dakle, jednostavno upisuje podatke koji mu je dan na ulaz. To je, zapravo, element za kašnjenje koji informaciju s ulaza, koja je prisutna prije dolaska CP-impulsa, produžava za još jedan vremenski interval. Oznaka D za ovaj bistabil dolazi od oznake za kašnjenje, tj. od engleskog *data* za podatak, odnosno *delay* za kašnjenje. Za izvedbu D-bistabila može se, na isti način kao i SR-bistabil, upotrijebiti i JK-bistabil.

U tablici 4.8. prikazana je tablica uzbude D-bistabila, a na slici 4.10. prikazan je dijagram stanja.

**Tablica 4.8.** Tablica uzbude D-bistabila

$Q_n$	$Q_{n+1}$	D
0	0	0
0	1	1
1	0	0
1	1	1

Izvor: [11]



**Slika 4.10.** Dijagram stanja D-bistabila  
Izvor: [14]

Kod D-bistabila nikada se ne može dogoditi da su S i R u stanju 1, pa je time osigurano da ne dođe do zabranjene kombinacije. I D-bistabil je, kao i SR-bistabil, za vrijeme trajanja CP-impulsa transparentan za ulazne podatke.

## 5 STANDARDNI KOMBINACIJSKI MODULI

Svaki složeni tehnički sustav može se gotovo uvijek dekomponirati u manje funkcijske cjeline. Uobičajeno je da se može dekomponirati na podsustave, do koje je god razine potrebno kako bi se mogli adekvatno analizirati. Velike sustave bez dekomponiranja teško je analizirati radi njihovih unutarnjih veza. Takvi podsustavi obavljaju određene mikrofunkcije, koji povezivanjem u sustav čine cjelinu sposobnu za samostalno funkcioniranje. Takvu funkciju obavljaju kombinacijski moduli, koji mogu biti standardizirani ili napravljeni za određenu sustave posebno. Kako bi se poboljšala kvaliteta specijalni moduli ciljno se projektiraju za određene digitalne sustave, a samim time takve module lakše je dekompozirati i minimizirati.

Moduli se izvode obično kao čipovi ili dijelovi čipa, a definira ih specificirana funkcija i minimalni broj ulaza i izlaza, što definira cijenu integriranih sklopova. Na taj se način postižu i najbolje elektroničke karakteristike, a posebno brzina rada. Takav se pristup isplati kod modula za uređaje koji se proizvode u relativno velikom broju primjeraka. Kod standardnih modula koji se proizvode za široko tržište projektiranje i implementacija je mnogo kraće, što rezultira nižom cijenom, ali brzina rada obično je nešto manja nego što se može postići specijalnim modulima.

Kako bi se došlo do podataka potrebno je obraditi podatke, a to se postiže složenijim kombinacijskim funkcijama kao što su; kodiranje, dekodiranje, ispitivanje pariteta, oduzimanje i množenje binarnih brojeva, kao i druge slične funkcije.

Kombinacijski modul moguće je izvesti kao integrirani sklop, koji se kao komponenta upotrebljava na tiskanoj pločici.

Standardni moduli upotrebljavaju se vrlo često. Postoje dvije vrste standardnih modula: programirajući i neprogramirajući. Neprogramirajući moduli su takvi moduli kod kojih su njihove unutarnje veze određene prilikom proizvodnje, za razliku od programirajućih čije se unutarnje veze mogu programirati s potrebama korisnika.

Svaki tip modula obavlja, u pravilu, neku često upotrebljavanu kombinacijsku funkciju. Neki moduli osim toga mogu biti upotrebljavani i za realiziranje logičkih funkcija po želji pa se stoga nazivaju univerzalni moduli. [11]



Postoje četiri vrste univerzalnih modula:

- dekodер;
- multipleksor;
- permanentna memorija (ROM<sup>9</sup>);
- programirljive logičke naprave (PLD).

Dekodери i multipleksori su neprogramirljive, dok su ostale dvije vrste modula programirljive. [11]

## 5.1 Dekoder

Dekoder je kombinacijska mreža koja dekodira (pretvara)  $n$  bitni kodirani ulazni niz binarnih znamenaka u  $m$  izlaznih bita, pri čemu je  $m \leq 2^n$ . [1]

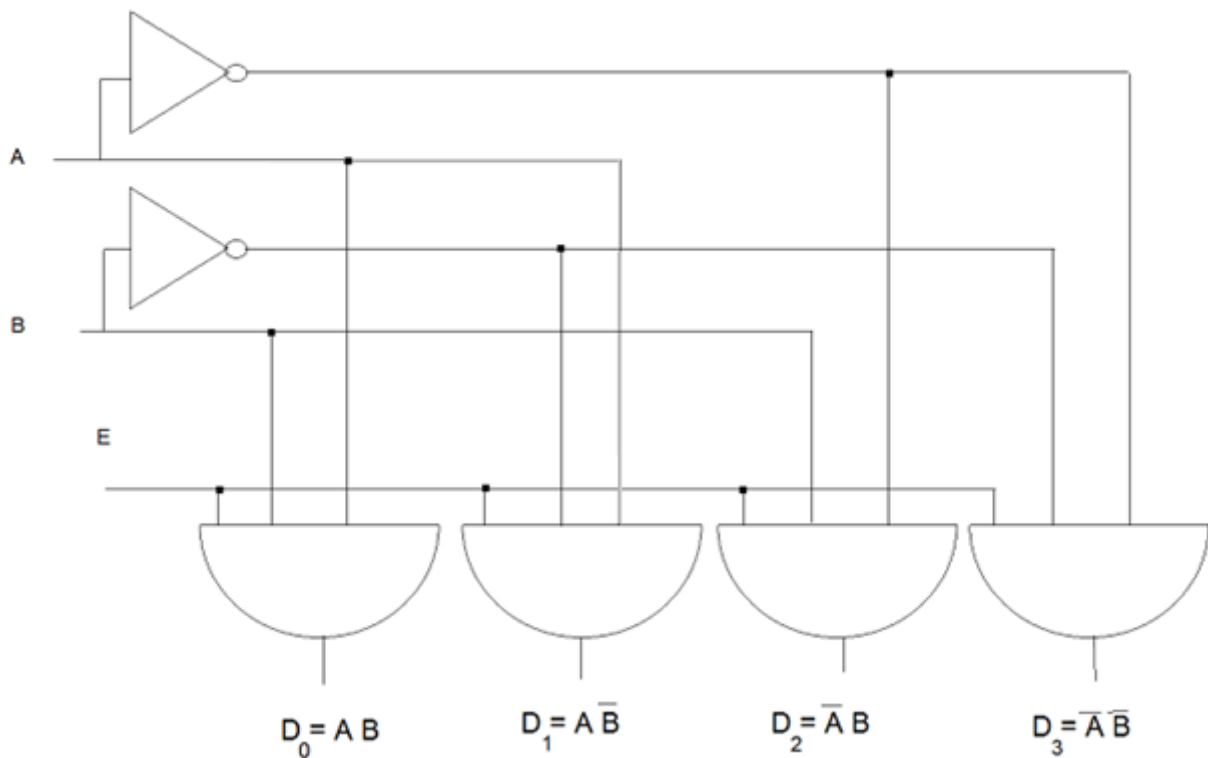
Stoga dekodер može biti sklop s više izlaza, a za svaki izlaz postoji samo jedna binarna kodna riječ za koju će taj izlaz biti u stanju logičke 1, odnosno u istinitom stanju. Za sve druge ulazne kodne riječi taj će izlaz biti u stanju logičke nule, odnosno laž. Binarni dekodер ima izlaz za svaku binarnu riječ s ulaza, te se njegova kombinacija bita može izračunati pomoću  $n$  ulaza-  $2^n$ . Na slici 5.1. prikazan je binarni dekodер s ulaznom riječi od 2 bita.

Budući da se dekodiraju sve ulazne kombinacije varijabli A i B, sklop se sastoji od četiri I-sklopa od kojih svaki ima na ulazu po jedan minterm. Prikazani sklop ima još jedan ulaz, obilježen je s E, koji služi za aktiviranje, odnosno omogućavanje rada sklopa. Slovo E se široko upotrebljava za oznaku upravljačkog ulaza, što dolazi od engleskog *enable*<sup>10</sup>.

---

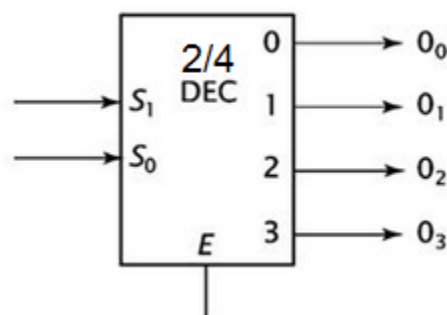
<sup>9</sup> ROM, *Read Only Memory* - služi samo za čitanje tvornički upisanih podataka. [21]

<sup>10</sup> *Enable* – omogućiti.



**Slika 5.1.** Binarni dekodier-sklop s dva ulaza  
Izvor: [1]

Sve dok je  $E = 0$  sklop je deaktiviran, te su svi ulazi u stanju 0. Kada se postavi takt impuls, tj. kada je  $E = 1$ , tada je jedan od izlaza u stanju 1. Na slici 5.2. naznačeno je da se radi o dekoderu s dva ulaza i četiri izlaza, takva oznaka upisuje se na sljedeći način: DEK 2/4



**Slika 5.2.** Simbol binarnog dekodera  
Izvor: [22]

Tablica 5.1. prikazuje kombinacije binarnog dekodera. Unutar simbola ulazi se obično označavaju malim slovima s indeksom od 0 do n-1. Oznake X za varijable A i

B kad je sklop onemogućen označavaju da stanje tih varijabli tada nije važno za određivanje izlaza.

**Tablica 5.1.** Tablica kombinacija za dekodeer

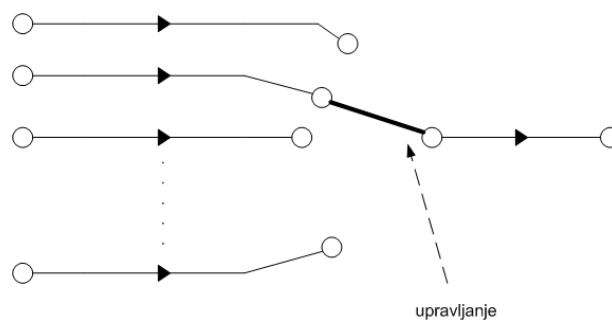
E	A	B	D <sub>0</sub>	D <sub>1</sub>	D <sub>2</sub>	D <sub>3</sub>
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	1	0	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	1

Izvor: [1]

Dekoder obavlja svoju osnovnu funkciju i bez kontrolnog ulaza. Taj se ulaz najčešće ipak izvodi, kao i kod mnogih integriranih sklopova koji obavljaju druge funkcije, jer omogućuje gradnju modularne mreže, proširenje funkcije sklopka i, ako je potrebno, dovođenje taktnog impulsa za eliminiranje pogreške. [13]

## 5.2 Multipleksor

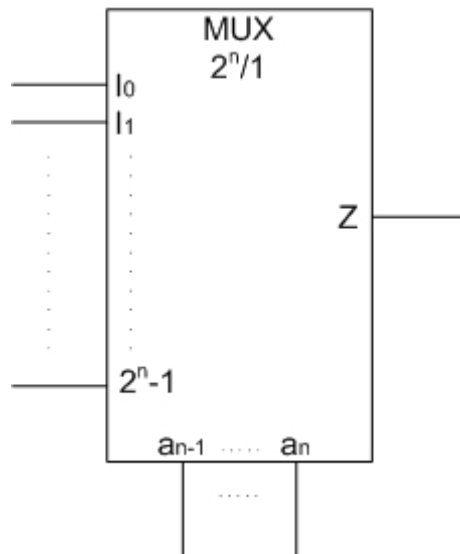
Multipleksor ili selektor podataka je sklop koji ima funkciju upravljive višepoložajne sklopke, kako je prikazano na slici 5.3.



**Slika 5.3.** Upravljiva višepoložajna sklopka – multipleksor  
Izvor: [1]

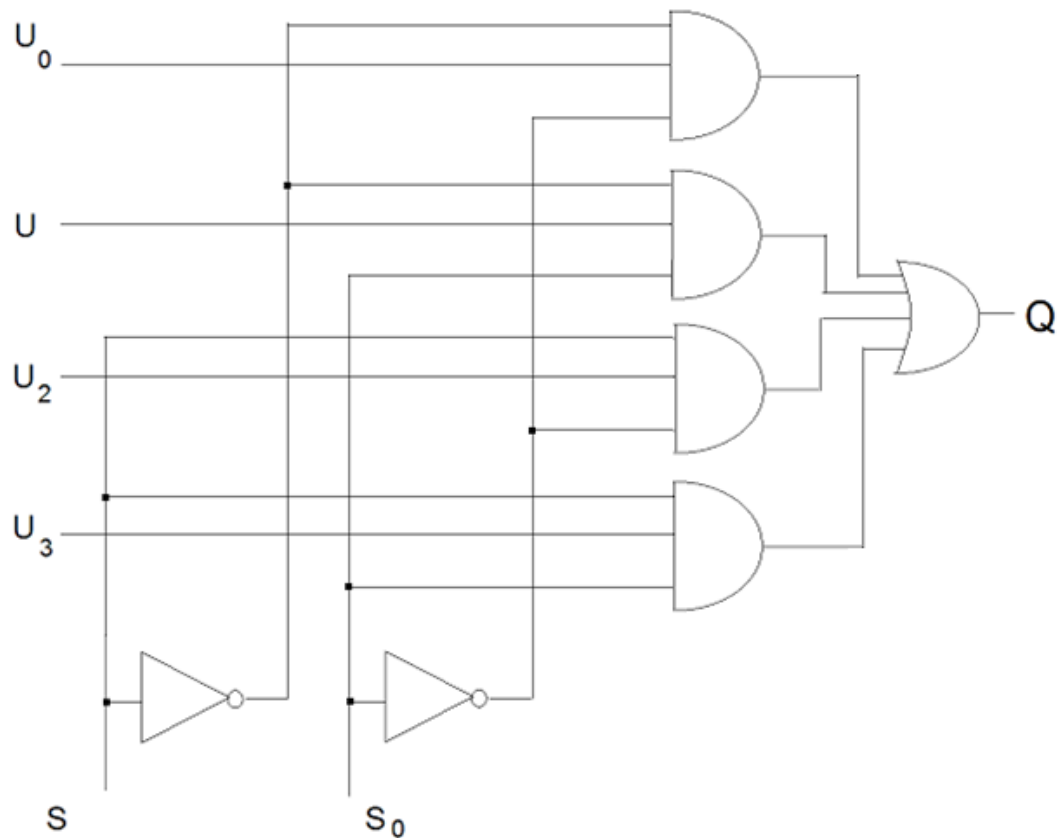
Takav sklop bira koji će podatak sa ulaznih vrata prosljediti na jedan izlaz. Selekcijom podataka sa ulaza informacija se šalje na izlaz. Simbol multipleksora prikazan je na slici 5.4. Funkcija multipleksora je ekvivalentna funkciji koju obavlja

neka višepoložajna sklopka. Upravljačkim ili selektirajućim ulazima  $a_0$  do  $a_{n-1}$  bira se jedan od ulaza  $I_i$  i šalje na izlaz  $Z$ .



**Slika 5.4.** Simbol multipleksora  
Izvor: [15]

Sklop multipleksora može se izvesti na više načina, ali se svi zasnivaju na dekoderu kojim se upravlja protok podataka od ulaza do izlaza, kao što je to prikazano na slici 5.5. Uz  $n$  upravljačkih ulaza ( $a_0$  do  $a_{n-1}$ ) sklop jedan od  $2^n-1$  ulaza ( $I_0$  do  $I_{n-1}$ ), ovisno o kombinaciji na upravljačkim ulazima, prosljeđuje na jedan izlaz ( $Z$ ).



**Slika 5.5.** Logički dijagram multipleksor 4 u 1  
Izvor: [1]

Isti sklop koji je prikazan na slici 5.5. može se pojednostavniti tako da se I-sklopovi dekodera prošire dodavanjem još jednog ulaza za podatke, čime se mogu eliminirati prikazani I-sklopovi. Multipleksor s četiri ulaza bira jednu ulaznu liniju (multipleksor 4 naprema 1), upravljački ulaz E služi za omogućavanje sklopa kao koda. U tablici 5.2. prikazana je tablica multipleksora.

**Tablica 5.2.** Tablica kombinacija multipleksora

E	a <sub>1</sub>	a <sub>0</sub>	Z
0	X	X	0
1	0	0	l <sub>0</sub>
1	0	1	l <sub>1</sub>
1	1	0	l <sub>2</sub>
1	1	1	l <sub>3</sub>

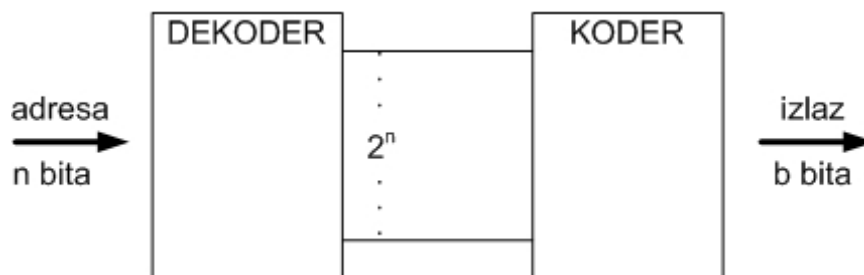
Izvor: [11]

Kao i kod jednostavnih sklopova, sve dok nema tak impulsa, nema niti rezultata na izlazu. Tako i kod multipleksora dok je na ulazu E stanje 0, na izlazu Z je 0. Tek kada se na ulaz E dovede 1, upravljačkim se varijablama odabire jedan od ulaza  $I_0$  do  $I_3$  i šalje na izlaz.

U digitalnim sustavima često je potrebno na jedno sabirno mjesto dovoditi signale iz više različitih izvora. Vod ili skup vodova na koje se dovode signali iz različitih izvora naziva se sabirnica. [13]

### 5.3 Permanentna memorija

Sklop permanentne memorije sastoji se od dekodera i koderu, kako je prikazano na slici 5.5. Na ulazu dekodera binarni je vektor od  $n$  bita koji se zove adresa. Adresom se odabire jedan od njegovih  $2^n$  izlaza. Koder je također kombinacijski sklop koji svakomu izlazu iz dekodera pridružuje neku kodnu riječ od  $n$  bitova. Čitav sklop dakle obavlja funkciju memoriranja, odnosno pamćenja binarnih informacija. To se pamćenje trajno ugrađuje fizičkim vezama i neće se izbrisati ako se sklop isključi iz napajanja. Zato se takva memorija zove permanentna ili stalna memorija. ROM za vrijeme rada samo ispisuje, pa se stoga naziva ispisna memorija. Kapacitet memorije ukupna je količina bita koju memorija može zapamtiti. [13]



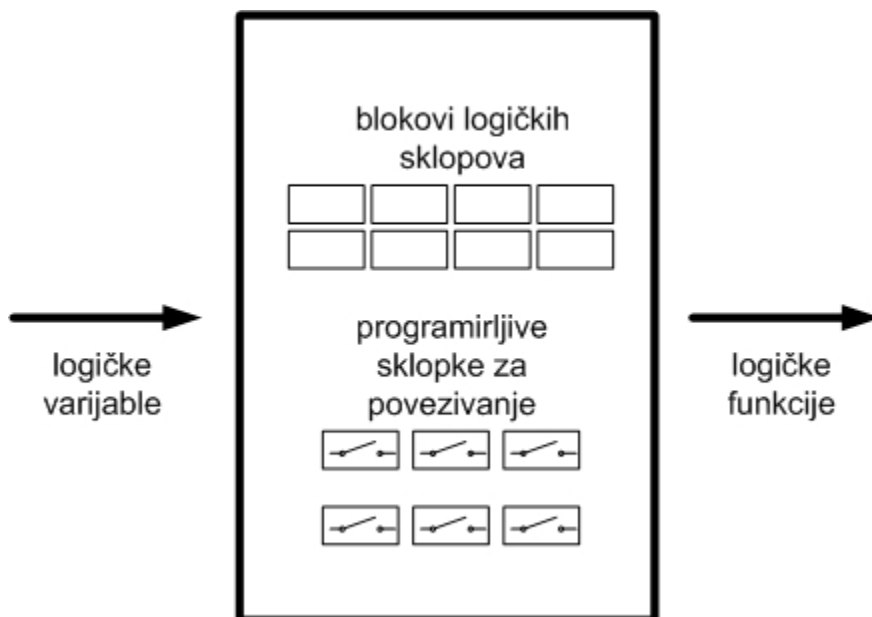
**Slika 5.4.** Struktura permanentne memorije  
Izvor: [11]

Budući da se permanentna memorija sastoji od I-sklopova u prvoj razini (dekoderu) i ILI-sklopova u drugoj razini (koderu), bit će očito prikladna i za realizaciju logičkih funkcija u obliku sume minterma. U takvu se memoriju može s toga upisati

tablica kombinacija s n ulaznih varijabli, pri čemu svaki bit izlazne riječi predstavlja vrijednost jedne od b izlaznih funkcija. [11]

#### 5.4 Programabilne logičke naprave PLD

Upotreba standardnih modula za ostvarivanje logičkih funkcija danas je dominantna praksa, pri konstrukciji svih vrsta digitalnih sustava, uključujući računala. Kod dekodera i multipleksora, koji su univerzalni, moguće je ostvarivanje funkcije s manjim brojem varijabli i izlaza. Permanentna memorija ima bolja svojstva, ali je kod nje sklopovlje slabije iskorišteno. Funkcije se kod permanentne memorije izvode uporabom minterma, a ne minimizacijom. Kod praktične primjene velika je neiskorištenost I-sklopova u dekoderu ROM-a, jer se logičke funkcije sastoje od manjeg dijela mogućih minterma, ali njihove funkcije su s vremenom napredovale te se i složenost povećala. Kod programirljivih logičkih polja moguće je programirati matricu I-sklopova, a takav univerzalni kombinacijski modul je prilagođen izvođenju logičkih funkcija. Za cijelu klasu takvih sklopova rabi se naziv programirljive logičke naprave i upotrebljava se kratica PLD. Osnovna koncepcija takvih sklopova prikazana je na slici 5.5.



**Slika 5.5.** Programirljiva logička naprava - općeniti prikaz  
Izvor: [11]

Svaka programirljiva logička jedinica može obavljati više funkcija. Sve funkcije počevši od I, ILI, NI, NILI, pa do složenijih koji čine logičke blokove koji su povezani prema željama korisnika. Programirljive sklopke mogu biti izvedene bilo kao kod ROM-ova posebno nanesenim spojevima u zadnjem koraku proizvodnje integriranog sklopa, ili kao EEPROM-tranzistori<sup>11</sup>. [11]

Kako bi se na izlazu dobila željena logička funkcija, logički blokovi se povezuju programirljivim sklopovima, a najčešće se upotrebljavaju logička polja PLA<sup>12</sup>, poluprogramirljivo logičko polje, složeni PLD - CPLD<sup>13</sup>, programirljivo polje logičkih sklopova FPGA<sup>14</sup>.

Velik broj logičkih funkcija može se u praksi realizirati s mnogo manjim brojem I-sklopova nego što ih ima u dekoderu permanentne memorije. Stoga su na osnovi iste logičke strukture kao što je struktura permanentne memorije razvijena programirljiva logička polja.

Veći sustavi koriste složenije strukture, sastavljene od više jednostavnih struktura, a takvi čine brže i kompaktnije sustave, i nazivaju se složene programirljive logičke naprave CPLD. Ponekad nisu dovoljni niti složeni PLD sklopovi koji se tada nadomještaju programirljivim sklopovima, čija je unutarnja struktura drugačija. Razlikuje se u tome što su logički blokovi međusobno povezani kao i sa sustavom s pomoću sklopki za povezivanje. [1]

---

<sup>11</sup> EEPROM - *Electrically Erasable Programmable Read-Only Memory*, izbrisiva vrsta ispisne memorije koja se može brisati i ponovno programirati. [23]

<sup>12</sup> PLA - *Programmable Logic Array*, programirljiva logička polja. [24]

<sup>13</sup> CPLD - *Complex Programmable Logic Device*, složene programirljive logičke naprave. [25]

<sup>14</sup> FPGA - *Field Programmable Gate Array*, programirljiva polja logičkih sklopova. [26]



## 6 PRIMJENA STANDARDNIH KOMBINACIJSKIH MODULA

Standardni kombinacijski moduli prisutni su u gotovo svim elektroničkim uređajima, i u onima koji imaju najjednostavniju logiku. Za rad uređaj potreban je unos nekih varijabli ili podataka, iz vanjske okoline, prema kojim parametrima će uređaj biti upravljan. Takav unos vrši se pomoću ulaznih varijabli koje se u uređaj zapisuju u binarnom obliku. Unos takvih podataka zahtjeva korelaciju između unesenih podataka te se stoga koriste standardni kombinacijski moduli.

### 6.1 Poluzbrajalo

Najjednostavnija, ali i osnovna aritmetička operacija u računalu jest zbrajanje dviju binarnih znamenaka. Tablica 6.1. prikazuje moguće kombinacije zbrajanja dviju binarnih znamenaka.

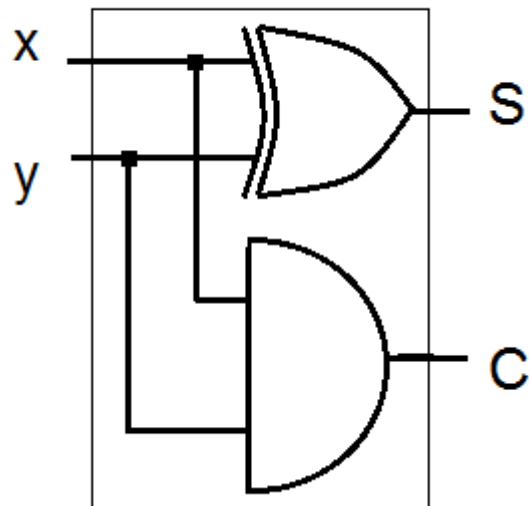
**Tablica 6.1.** Zbrajanje dviju binarnih znamenaka

$A_i$	$B_i$	$S_i$	$C_i$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Izvor: [10]

Rezultat zbrajanja ima dva bita. Jedan bit je suma  $S$  (modulo 2), a drugi bit je prijenos  $C$ . Tablica prikazuje rezultate aritmetičkog zbrajanja dvaju bitova, ali može isto tako biti shvaćena kao tablica kombinacija logičkih funkcija. Da se napravi sklop za obavljanje te funkcije, treba prvo pridružiti numerička značenja logičkim vrijednostima. Najjednostavnije i uobičajeno je pridružiti logičkoj vrijednosti 0 značenje znamenke 0 u binarnom sustavu, a logičkoj vrijednosti 1 značenje znamenke 1 u tom istom sustavu. Treba imati na umu da se unatoč jednakim znakovima kojima se označavaju logičke veličine i znamenke, ti znakovi označavaju različite pojmove. Zbog toga se katkad za logičke vrijednosti upotrebljavaju debela slova.

Na slici 6.1. prikazan je sklop poluzbrajala za zbrajanje binarnih znamenaka.



**Slika 6.1.** Sklop poluzbrajala  
Izvor: [27]

Sklop za zbrajanje imaće dva ulaza i dva izlaza. Jedan izlaz je modulo 2 suma (S), a drugi prijenos (C). Indeksima i označeno je da se radi općenito o bilo kojem i-tom paru znamenaka. Vidljivo je da se modulo 2 suma implementira logičkom funkcijom ISKLJUČIVO ILI, a funkcija prijenosa logičkom I-funkcijom.

Simbol poluzbrajala prikazan je na slici 6.2., te se njegov naziv skraćeno na engleskom jeziku označava s HA.

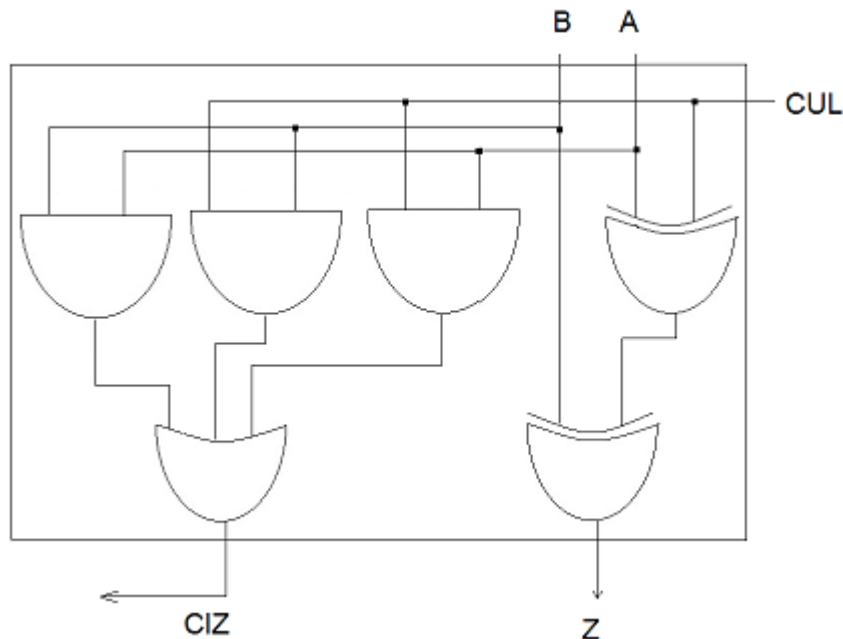


**Slika 6.2.** Simbol poluzbrajala  
Izvor: [27]

Sklop za zbrajanje dviju binarnih znamenaka zove se poluzbrajalo (eng. *half-adder*). Razlog tomu što za realizaciju zbrajala za tri binarne znamenke trebaju dva poluzbrajala. [11]

## 6.2 Potpuno zbrajalo

Potpuno zbrajalo predstavlja kombinacijsku mrežu koja zbraja vrijednosti postavljene na njezinim ulazima. Na slici 6.3. prikazan je logički dijagram s dva ulaza i dva izlaza, kao primjer potpunog zbrajala. [ 31]

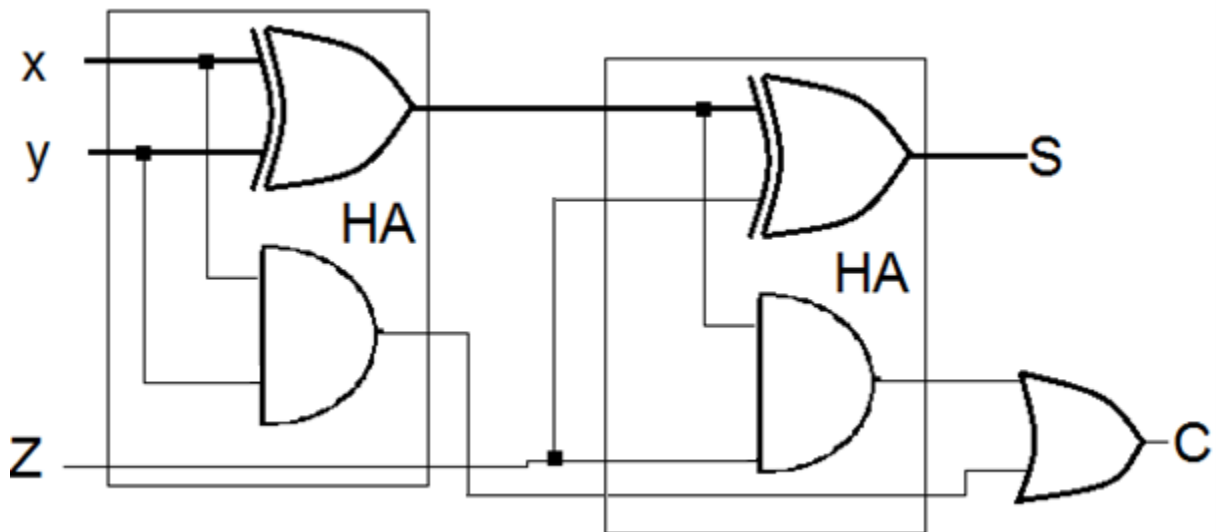


**Slika 6.3.** Logički dijagram potpunog zbrajala  
Izvor: [28]

Prilikom zbrajanja dvaju višeznamenkastih binarnih brojeva zbrajaju se na drugome brojnome mjestu tri znamenke, dvije znamenke koje pripadaju brojevima koji se zbrajaju i još jedna znamenka kao prijenos s prethodnoga brojnom mjestu. Takvo zbrajanje nije moguće obaviti pomoću poluzbrajala. Znamenke se zbroje prema pravilu modulo 2 sume, uz algoritamski posmik, i dobije se prva modulo 2 suma. Ako se pojavi prijenos potrebno ga je upisati u poseban registar<sup>15</sup>, i to na brojnome mjestu koje je za jedan više od onoga na kojem je nastao taj prijenos. Nakon toga treba ponovo zbrojiti međurezultat prve modulo 2 sume i prvi prijenos. Budući da u ovome slučaju nema novog prijenosa, to je i konačni rezultat. Ako bi se ponovio prijenos, opisani bi postupak trebalo ponoviti. [11]

<sup>15</sup> Registar je sklop koji se sastoji od bistabila u kojima se memoriraju odgovarajući bitovi. [29]

Zbrajanje triju binarnih znamenaka može se obaviti s dva poluzbrajala kako je prikazano na slici 6.4.



**Slika 6.4.** Potpuno zbrajalo izvedeno s dva poluzbrajala  
Izvor: [27]

Kod zbrajanja višeznamenkastih binarnih brojeva u digitalnim se uređajima u pravilu zbraja tako da se najprije zbroje dva broja, a onda rezultat zbroji s trećim brojem te postupak uzastopno nastavlja sve dok se ne iscrpe svi brojevi. Stoga je potrebno sklopovski riješiti samo zbrajanje dvaju brojeva. Ovisno o tome kako su prikazani binarni brojevi zbrajanje se može provesti serijski ili paralelno.

### 6.3 Množenje

Radi obavljanja množenja u bilo kojem brojevnom sustavu, potrebno je prethodno poznavati tablicu množenja. Posebno je jednostavna tablica množenja u binarnom sustavu, a koja je prikazana u tablici 6.2. Vidljivo je da nema prijenosa, a množenje se može realizirati običnom logičkom I-funkcijom, tj. logičkim produktom koji je jednak aritmetičkom produktu u binarnom sustavu.

**Tablica 6.2.** Tablica množenja u binarnom sustavu

M	N	P
0	0	0
0	1	0
1	0	0
1	1	1

Izvor: [11]

Množenje dvaju brojeva na papiru čini osnovicu i za njegovo ostvarenje u digitalnome sustavu. Postupak se sastoji u dobivanju parcijalnih produkata i njihovu zbrajanju uz posmak, kako je i prikazano na slici 6.5.

Množenika	0	0	1	1
xMnožitelj	x0	x1	x0	x1
=Umnožak	=0	=0	=0	=1

**Slika 6.5.** Prikaz množenja

Pomoću kombinacijskih sklopova može se napraviti sklop koji će na izlazu davati produkt binarnih brojeva dovedenih na ulaze. Problem nastaje kod množenja višebitnih binarnih varijabli kod kojih je veliki broj redaka i izlaznih bitova produkta.

Množe se uvijek samo po dva bita, a zbrajaju najprije prva dva parcijalna produkta, nakon čega im se, uz posmak pribraja treći. Kod sklopova za zbrajanja parcijalnih produkata potreban je poseban sklop za zbrajanje, a za množenje brojeva s većim brojem bita i taj sklop postaje velik. [11]

## 7 ZAKLJUČAK

Digitalni sustavi napravljeni su kako bi vršili neku funkciju koja im je zadana. Zbog velike potražnje i namjene razvijeno je mnogo različitih sustava, a sustavi koji su u često u upotrebi su standardizirani radi lakše dostupnosti i brže proizvodnje. Takvi sklopovi nazivaju se standardni kombinacijski moduli, a sustav je načinjen od više kombinacijskih sklopova različitih vrsta.

U najširoj upotrebi digitalnih sustava su računala koja na univerzalan način obrađuju podatke, kućanski aparati, uređaji za zabavu te ostali uređaji koji služe čovjeku. Mnogi problemi riješeni su napretkom digitalne tehnike i povećanjem opsega rješavanja problema obrade i (ili) prijenosa podataka.

Međusobna komunikacija između uređaja, ali i između čovjeka i uređaja, odvija se nizom binarnih znakova. Svaka komunikacija prevodi se u jezik razumljiv sustavu koji se nalazi s druge strane komunikacijske mreže. Jezik razumljiv računalu sastoji se od niza binarnih znakova, dakle nula i jedinica koji se naziva Booleova algebra. Dok računalo taj niz znamenaka pretvara u znakove razumljive čovjeku, a to su najčešće slova i brojevi.

Procesiranje podataka u računalu odvija se zbrajanjem, polu zbrajanjem i množenjem. Sve operacije vezane su za neke logičke funkcije, one su objašnjene na jednostavnim primjerima elektroničkih sklopova, te su njihova moguća stanja opisana u tablicama stanja.

Za obradu podataka u izvršavanju funkcija koriste se kombinacijski i sekvencijalni logički sklopovi, čiji izlazi mogu, ali i ne moraju ovisiti o ulaznim varijablama i prethodnom stanju u kojem se sklop nalazio. Svaki se sklop u osnovi sastoji od tri dijela: ulaznog kombinacijskog sklopa, registra i izlaznog kombinacijskog sklopa. Registre čine bistabili koji mogu biti različitih vrsta i namjena.

## POPIS LITERATURE

- [1] Gold, H., Kavran, Z.: *Elementi i sklopovi telekomunikacijskih uređaja: (digitalna elektronika)*, 2. nadopunjeno izdanje, Fakultet prometnih znanosti, Zagreb, 1999.
- [2] *Što mobilni telefon čini smartphone*  
<http://www.bazaclanaka.com/racunala-elektronika/sto-mobilni-telefon-cini-smartphone>  
vrijeme pristupanja: kolovoz, 2015.
- [3] *SMS*  
<https://hr.wikipedia.org/wiki/SMS>  
vrijeme pristupanja: kolovoz, 2015.
- [4] *MMS*  
<https://hr.wikipedia.org/wiki/MMS>  
vrijeme pristupanja: kolovoz, 2015.
- [5] *Što je vođenje i kada se javlja potreba za vođenjem*  
[http://laris.fesb.hr/digitalno\\_vodjenje/text\\_1-1.htm](http://laris.fesb.hr/digitalno_vodjenje/text_1-1.htm)  
vrijeme pristupanja: kolovoz, 2015.
- [6] *SIMATIC LOGO! PLC'S*  
<http://www.aotewell.com/seimens/siemens-logo.html>  
vrijeme pristupanja: kolovoz, 2015.
- [7] *Wireless Embedded Sensor Network Technologies*  
<https://www.cs.virginia.edu/wsn/nest.html>  
vrijeme pristupanja: kolovoz, 2015.
- [8] *Osnovne logičke funkcije*  
<http://www.oblakznanja.com/2015/09/1-3-osnovne-logicke-funkcije/>  
vrijeme pristupanja: prosinac, 2015.
- [9] *AND Gate*  
<http://logic.ly/lessons/and-gate/>  
vrijeme pristupanja: prosinac, 2015.
- [10] Paunović, S.: *Digitalni sklopovi i upravljanje*, Element, Zagreb, 2009.
- [11] Peruško, U., Glavinić, V.: *Digitalni sustavi*, Školska knjiga, Zagreb, 2005.

- [12] *Osnovni sklopovi*  
[https://www.fer.unizg.hr/\\_download/repository/P2\\_-\\_Operacijska\\_pojacala.pdf](https://www.fer.unizg.hr/_download/repository/P2_-_Operacijska_pojacala.pdf)  
vrijeme pristupanja: kolovoz, 2015.
- [13] Peruško, U.: *Digitalna elektronika, logičko i elektroničko projektiranje*, III., prošireno izdanje, Školska knjiga, Zagreb, 1996.
- [14] Čupić, M.: *Digitalna elektronika i digitalna logika*, Zagreb, 2006.
- [15] Šumiga, I.: *Digitalna logika i elektronika*, Veleučilište u Varaždinu, Varaždin, 2013.
- [16] *Digitalna elektronika II*  
[www.pmfst.unist.hr/~santon/oe2/11%20Sekvencijalna%20logika.ppt](http://www.pmfst.unist.hr/~santon/oe2/11%20Sekvencijalna%20logika.ppt)  
vrijeme pristupanja: kolovoz, 2015.
- [17] *Međunarodna organizacija za standardizaciju (ISO) i Međunarodna elektrotehnička komisija (IEC)*  
<http://www.isme.me/saradnja/medjunarodna.php>  
vrijeme pristupanja: kolovoz, 2015.
- [18] *Aritmetički operatori*  
<http://www.znanje.org/knjige/computer/JavaScript/2010/operatori.htm>  
vrijeme pristupanja: kolovoz, 2015.
- [19] Gold, H., Mrvelj, Š.: *Autorizirana predavanja iz kolegija Analiza i modeliranje prometnih sustava: Dijagram stanja*, Fakultet prometnih znanosti, Zagreb, 2015.  
[http://e-student.fpz.hr/Predmeti/A/Analiza\\_i\\_modeliranje\\_prometnih\\_sustava/Materijali/Dijagram\\_stanja.pdf](http://e-student.fpz.hr/Predmeti/A/Analiza_i_modeliranje_prometnih_sustava/Materijali/Dijagram_stanja.pdf)  
vrijeme pristupanja: kolovoz, 2015.
- [20] Gold, H., Mrvelj, Š.: *Autorizirana predavanja iz kolegija Analiza i modeliranje prometnih sustava: Uvodno predavanje*, Fakultet prometnih znanosti, Zagreb, 2015.  
[http://e-student.fpz.hr/Predmeti/A/Analiza\\_i\\_modeliranje\\_prometnih\\_sustava/Materijali/uvodno\\_predavanje\\_Mrvelj.pdf](http://e-student.fpz.hr/Predmeti/A/Analiza_i_modeliranje_prometnih_sustava/Materijali/uvodno_predavanje_Mrvelj.pdf)  
vrijeme pristupanja: kolovoz, 2015.
- [21] *Radna memorija*  
<http://www.informatika.buzdo.com/s140-radna-memorija.htm>  
vrijeme pristupanja: kolovoz, 2015.



- [22] *Design and Simulation of Decoders, Encoders, Multiplexer and Demultiplexer*  
<http://he-coep.vlabs.ac.in/Experiment5/index.html>  
vrijeme pristupanja: prosinac, 2015.
- [23] *EEPROM Library*  
<https://www.arduino.cc/en/Reference/EEPROM>  
vrijeme pristupanja: kolovoz, 2015.
- [24] *Programmable Logic Array (PLA)*  
<http://www.cs.umd.edu/class/sum2003/cmsc311/Notes/Comb/pla.html>  
vrijeme pristupanja: kolovoz, 2015.
- [25] *What is a CPLD?*  
<http://www.xilinx.com/cpld/>  
vrijeme pristupanja: kolovoz, 2015.
- [26] *What is a FPGA?*  
<http://www.xilinx.com/fpga/>  
vrijeme pristupanja: kolovoz, 2015.
- [27] *Aritmetičko-logička jedinica*  
<http://www.zemris.fer.hr/predmeti/aio/Predavanja/PDF/08aritmeticka-jedinica.pdf>  
vrijeme pristupanja: kolovoz, 2015.
- [28] *Potpuno zbrajalo*  
<http://www.fpz.unizg.hr/hgold/es/de/p.%20zbrajalo.htm>  
vrijeme pristupanja: studeni, 2015.
- [29] *Registri i brojači*  
[http://www.etf.unssa.rs.ba/~slubura/Impulsna\\_i\\_digitalna\\_elektronika/DIGITALNA%20ELEKTRONIKA/GLAVA8.pdf](http://www.etf.unssa.rs.ba/~slubura/Impulsna_i_digitalna_elektronika/DIGITALNA%20ELEKTRONIKA/GLAVA8.pdf)  
vrijeme pristupanja: kolovoz, 2015.

## POPIS AKRONIMA I KRATICA

akronim ili kratica	broj stranice	prijevod ili opis akronima ili kratice
SMS	3	usluga slanja kratkih tekstualnih poruka
MMS	3	usluga slanja većeg broja alfanumeričkih znakova i grafike te videa i audio zapisa
ICI	3	britanska kemijska industrija
DDC	3	direktno digitalno vođenje
PLC	4	programabilni logički kontroleri
CI	4	računalna inteligencija
NEST	5	<i>Network Embedded System Technology</i>
IEC	9	<i>Muđunarodna elektronička organizacija</i>
ISO	9	<i>Međunarodna organizacija za standardizaciju</i>
U	11	oznaka za napon
UML	18	jezik koji služi za ujedinjeno modeliranje
ROM	27	permanentna memorija
PLD	27	programirljive logičke naprave
EEPROM	34	izbrisiva vrsta ispisne memorije koja se može brisati i ponovno programirati
PLA	34	programirljiva logička polja
CPLD	34	složene programirljive logičke naprave
FPGA	34	programirljiva polja logičkih sklopova

## POPIS STRANIH IZRAZA

<b>strani izraz</b>	<b>broj stranice</b>	<b>prijevod ili opis stranog izraza</b>
<i>Smartphone</i>	3	pametni mobilni terminalni uređaj
<i>Short Message Service</i>	3	usluga slanja kratkih tekstualnih poruka
<i>Multimedia Messaging Service</i>	3	usluga slanja većeg broja alfanumeričkih znakova i grafike te videa i audio zapisa
<i>Direct Digital Control</i>	3	direktno digitalno vođenje
<i>Imperial Chemical Industries</i>	3	britanska kemijska kompanija
<i>Microcontrollers</i>	4	mikroregulatori
<i>Programmable Logic Controllers</i>	4	programabilni logički kontroleri
<i>Computational Intelligence</i>	4	računalna inteligencija
<i>Embedded</i>	5	ugradben
<i>Network Embedded System Technology</i>	5	tehnologija umrežavanja koja međusobno komunicira
<i>And</i>	6	logička operacija I
<i>Or</i>	6	logička operacija ILI
<i>Not</i>	6	logička operacija NE
<i>Truth table</i>	8	tablica istinitosti
<i>Combinational circuits</i>	14	kombinacijski sklopovi
<i>Sequential circuits</i>	14	slijedni sklopovi
<i>Bistabile multivibrator</i>	14	bistabilni multivibrator
<i>Unified Modeling Language</i>	18	jezik koji služi za ujedinjeno modeliranje
<i>Toggle</i>	21	pritega
<i>Delay</i>	24	kašnjenje
<i>Half-adder</i>	36	poluzbrajalo

## POPIS ILUSTRACIJA

### Popis slika

Slika 2.1. Opća struktura digitalnog sustava .....	2
Slika 2.2. Prikaz PLC-a .....	4
Slika 3.1. Žarulja svijetli ako su uključene sklopke .....	7
Slika 3.2. Logički I-sklop izveden pomoću tranzistora .....	9
Slika 3.3 Grafički simboli za I-sklop a) karakteristični oblik i b) preporučen od strane IEC-a .....	10
Slika 3.4. ILI funkcija realizirana s pomoću sklopki .....	11
Slika 3.5. Karakteristični oblik grafičkog simbola za ILI-sklop .....	12
Slika 3.6. Komplementiranje (negacija) logičke varijable s pomoću sklopa sa sklopkama .....	13
Slika 3.7. Ne vrata .....	13
Slika 4.1. Operacijsko pojačalo kao invertor s povratnom vezom .....	15
Slika 4.2. Sinkroni SR-bistabil od NI sklopova .....	16
Slika 4.3. Dijagram stanja SR-bistabila .....	18
Slika 4.4 JK bistabil .....	19
Slika 4.5. Minimizacija izlaza JK bistabila .....	20
Slika 4.6 Izvedba JK-bistabila na osnovi SR-bistabila sa slike 4.5. ....	21
Slika 4.7 Izvedba T-bistabila .....	22
Slika 4.8. Dijagram stanja T-bistabila .....	23
Slika 4.9. D-bistabil a) sklop i b) simbol .....	23
Slika 4.10. Dijagram stanja D-bistabila .....	25
Slika 5.1. Binarni dekodier-sklop s dva ulaza .....	28
Slika 5.2. Simbol binarnog dekodera .....	28
Slika 5.3. Upravljiva višepoložajna sklopka – multipleksor .....	29
Slika 5.4. Struktura permanentne memorije .....	32
Slika 5.5. Programirljiva logička naprava - općeniti prikaz .....	33
Slika 6.1. Sklop poluzbrajala .....	36
Slika 6.2. Simbol poluzbrajala .....	36
Slika 6.3. Logički dijagram potpunog zbrajala .....	37
Slika 6.4. Potpuno zbrajalo izvedeno s dva poluzbrajala .....	38
Slika 6.5. Prikaz množenja .....	39

## Popis tablica

Tablica 3.1. Tablica stanja sklopova s dva ulaza za I funkciju .....	7
Tablica 3.2. Tablica stanja sklopa s dva ulaza za ILI funkciju .....	11
Tablica 3.3. Tablica istinitosti operacije ne .....	12
Tablica 4.1 Tablica stanja SR-bistabila.....	17
Tablica 4.2. Sažeta tablica stanja JK-bistabila.....	19
Tablica 4.3. Tablica stanja JK-tablica .....	20
Tablica 4.4. Sažeta tablica stanja T-bistabila.....	22
Tablica 4.5. Tablica stanja T-bistabila .....	22
Tablica 4.6. Sažeta tablica stanja D-bistabil .....	24
Tablica 4.7. Tablica stanja D-bistabil .....	24
Tablica 4.8. Tablica uzbude D-bistabila .....	24
Tablica 5.1. Tablica kombinacija za dekodeer .....	29
Tablica 5.2. Tablica kombinacija multipleksora.....	31
Tablica 6.1. Zbrajanje dviju binarnih znamenaka.....	35
Tablica 6.2. Tablica množenja u binarnom sustavu .....	39



Sveučilište u Zagrebu  
Fakultet prometnih znanosti  
10000 Zagreb  
Vukelićeva 4

## METAPODACI

**Naslov rada:** Standardni kombinacijski moduli u komutacijskim sustavima

**Autor:** Tihomir Đuksi

**Mentor:** prof. dr. sc. Slavko Šarić

**Naslov na drugom jeziku (engleski):**

Standard Combinational Modules in Switching Systems

**Povjerenstvo za obranu:**

- prof. dr. sc. Dragan Peraković, predsjednik
- prof. dr. sc. Slavko Šarić, mentor
- Ivan Forenbacher, dipl. ing., član
- prof. dr. sc. Zvonko Kavran, zamjena

**Ustanova koja je dodjela akademski stupanj:** Fakultet prometnih znanosti Sveučilišta u Zagrebu

**Zavod:** Zavod za informacijsko komunikacijski promet

**Vrsta studija:** sveučilišni

**Naziv studijskog programa:** Promet

**Stupanj:** preddiplomski

**Akademski naziv:** univ. bacc. ing. traff.

**Datum obrane završnog rada:** 2. veljače, 2015.



Sveučilište u Zagrebu  
Fakultet prometnih znanosti  
10000 Zagreb  
Vukelićeva 4

## IZJAVA O AKADEMSKOJ ČESTITOSTI I SUGLASNOST

Izjavljujem i svojim potpisom potvrđujem kako je ovaj \_\_\_\_\_ završni rad

isključivo rezultat mog vlastitog rada koji se temelji na mojim istraživanjima i oslanja se na objavljenu literaturu što pokazuju korištene bilješke i bibliografija.

Izjavljujem kako nijedan dio rada nije napisan na nedozvoljen način, niti je prepisan iz necitiranog rada, te nijedan dio rada ne krši bilo čija autorska prava.

Izjavljujem također, kako nijedan dio rada nije iskorišten za bilo koji drugi rad u bilo kojoj drugoj visokoškolskoj, znanstvenoj ili obrazovnoj ustanovi.

Svojim potpisom potvrđujem i dajem suglasnost za javnu objavu \_\_\_\_\_ završnog rada

pod naslovom **Standardni kombinacijski moduli u komutacijskim sustavima**

na internetskim stranicama i repozitoriju Fakulteta prometnih znanosti, Digitalnom akademskom repozitoriju (DAR) pri Nacionalnoj i sveučilišnoj knjižnici u Zagrebu.

Student:

U Zagrebu, 11.1.2016.

\_\_\_\_\_  
(potpis)